

数字电子技术部分

Fundamental of Digital Electronics Technology

目 录

实验一 晶体管开关特性、限幅器与钳位器·····	1
实验二 TTL 集成逻辑门的逻辑功能与参数测试 ·····	6
实验三 CMOS 集成逻辑门的逻辑功能与参数测试 ·····	14
实验四 集成逻辑电路的连接和驱动 ·····	22
实验五 组合逻辑电路的设计与测试 ·····	28
实验六 译码器及其应用 ·····	32
实验七 数据选择器及其应用 ·····	40
实验八 触发器及其应用 ·····	47
实验九 计数器及其应用 ·····	56
实验十 移位寄存器及其应用 ·····	63
实验十一 脉冲分配器及其应用·····	71
实验十二 使用门电路产生脉冲信号·····	76
实验十三 单稳态触发器与施密特触发器·····	80
实验十四 555 时基电路及其应用 ·····	89
实验十五 D/A、A/D 转换器 ·····	97
综 合 性 实 验	
实验十六 智力竞赛抢答装置 ·····	105
实验十七 电子秒表 ·····	108
实验十八 $3\frac{1}{2}$ 位直流数字电压表 ·····	114
实验十九 数 字 频 率 计 ·····	125
实验二十 拔 河 游 戏 机 ·····	133
实验二十一 随机存取存储器 2114A 及其应用·····	139

实验一 晶体管开关特性、限幅器与钳位器

一、实验目的

1、观察晶体二极管、三极管的开关特性，了解外电路参数变化对晶体管开关特性的影响。

2、掌握限幅器和钳位器的基本工作原理。

二、实验原理

1、晶体二极管的开关特性

由于晶体二极管具有单向导电性，故其开关特性表现在正向导通与反向截止两种不同状态的转换过程。

如图 1-1 电路，输入端施加一方波激励信号 v_i ，由于二极管结电容的存在，因而有充电、放电和存贮电荷的建立与消散的过程。因此当加在二极管上的电压突然由正向偏置 ($+V_1$) 变为反向偏置 ($-V_2$) 时，二极管并不立即截止，而是出现一个较大的反向电流 $-\frac{V_2}{R}$ ，并维持一段时间 t_s （称为存贮时间）后，电流才开始减小，再经 t_f （称为下降时间）后，反向电流才等于静态特性上的反向电流 I_0 ，将 $t_{rr} = t_s + t_f$ 叫做反向恢复时间， t_{rr} 与二极管的结构有关，PN 结面积小，结电容小，存贮电荷就少， t_s 就短，同时也与正向导通电流和反向电流有关。

当管子选定后，减小正向导通电流和增大反向驱动电流，可加速电路的转换过程。

2、晶体三极管的开关特性

晶体三极管的开关特性是指它从截止到饱和导通，或从饱和导通到截止的转换过程，而且这种转换都需要一定的时间才能完成。

如图 1-2 电路的输入端，施加一个足够幅度（在 $-V_2$ 和 $+V_1$ 之间变化）的矩形脉冲电压 v_i 激励信号，就能使晶体管从截止状态进入饱和导通，再从饱和进入截止。可见晶体管 T 的集电极电流 i_c 和输出电压 v_o 的波形已不是一个

理想的矩形波，其起始部分和平顶部分都延迟了一段时间，其上升沿和下降沿都变得缓慢了，如图 1-2 波形所示，从 v_i 开始跃升到 i_c 上升到 $0.1I_{CS}$ ，所需时间定义为延迟时间 t_d ，而 i_c 从 $0.1I_{CS}$ 增长到 $0.9I_{CS}$ 的时间为上升时间 t_r ，从 v_i 开始跃降到 i_c 下降到 $0.9I_{CS}$ 的时间为存贮时间 t_s ，而 i_c 从 $0.9I_{CS}$ 下降到 $0.1I_{CS}$ 的时间为下降时间 t_f ，通常称 $t_{on}=t_d+t_r$ 为三极管开关的“接通时间”， $t_{off}=t_s+t_f$ 称为“断开时间”，形成上述开关特性的主要原因乃是晶体管结电容之故。

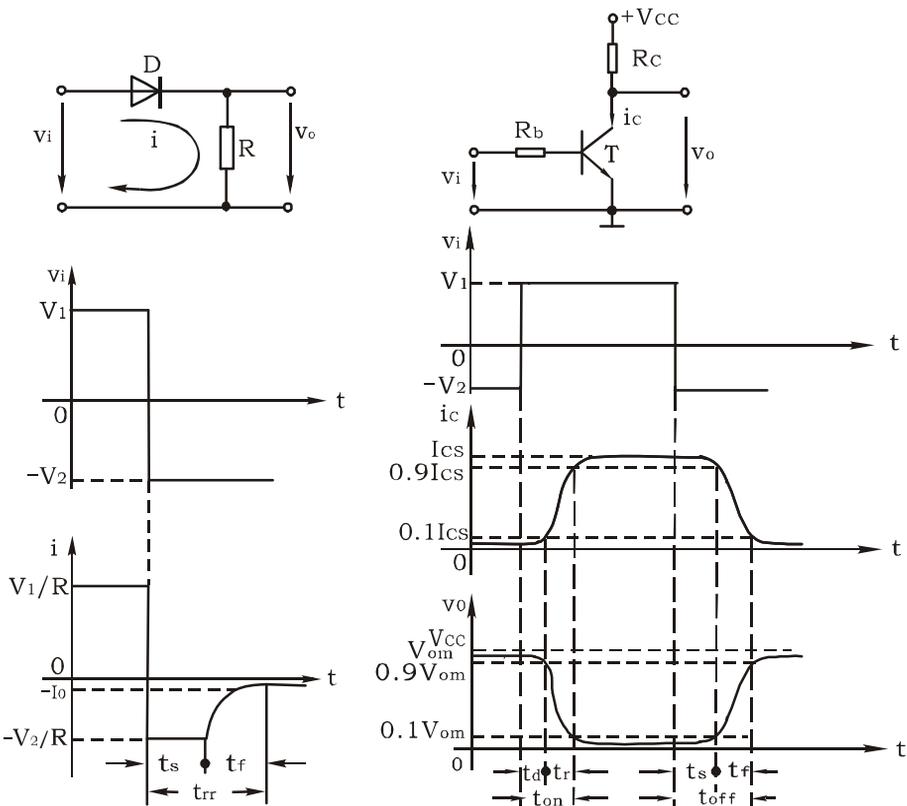


图 1-1 晶体二极管的开关特性

图 1-2 晶极三极管的开关特性

改善晶体三极管开关特性的方法是采用加速电容 C_b 和在晶体管的集电极加二极管 D 箝位，如图 1-3 所示。

C_b 是一个近百 PF 的小电容，当 v_i 正跃变期间，由于 C_b 的存在， R_{b1} 相当于被短路， v_i 几乎全部加到基极上，使 T 迅速进入饱和， t_d 和 t_r 大大缩短。当 v_i 负跃变时， R_{b1} 再次被短路，使 T 迅速截止，也大大缩短了 t_s 和 t_f ，可见 C_b 仅在瞬态过程中才起作用，稳态时相当于开路，对电路没有影响。 C_b 既加速

了晶体管的接通过程又加速了断开过程，故称之为加速电容，这是一种经济有效的方法，在脉冲电路中得到广泛应用。

箝位二极管 D 的作用是当管子 T 由饱和进入截止时，随着电源对分布电容和负载电容的充电， v_o 逐渐上升。因为 $V_{cc} > E_c$ ，当 v_o 超过 E_c 后，二极管 D 导通，使 v_o 的最高值被箝位在 E_c ，从而缩短 v_o 波形的上升边沿，而且上升边的起始部分又比较陡，所以大大缩短了输出波形的上升时间 t_r 。

3、利用二极管与三极管的非线性特性，可构成限幅器和箝位器。它们均是一种波形变换电路，在实际中均有广泛的应用。二极管限幅器是利用二极管导通时和截止时呈现的阻抗不同来实现限幅，其限幅电平由外接偏压决定。三极管则利用其截止和饱和特性实现限幅。箝位的目的是将脉冲波形的顶部或底部箝制在一定的电平上。

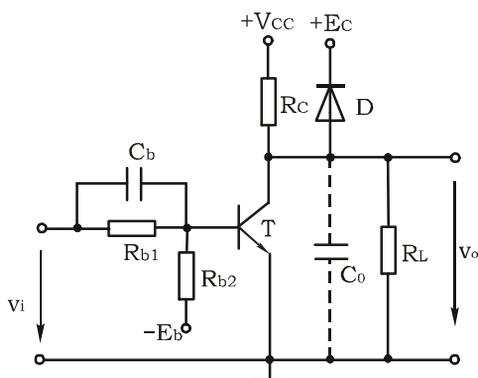


图 1-3 改善三极管开关特性的电路

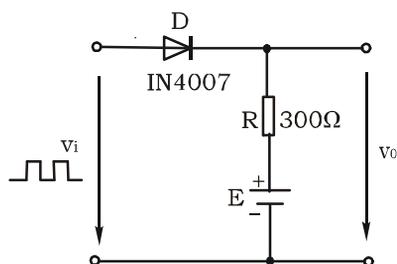


图 1-4 二极管开关特性实验电路

三、实验设备与器件

仔细查看数字电路实验装置的结构：直流稳压电源、信号源、逻辑开关，逻辑电平显示器，元器件位置的布局及使用方法。

- 1、 ±5V、+15V 直流电源
- 2、 双踪示波器
- 3、 续脉冲源
- 4、 音频信号源
- 5、 直流数字电压表
- 6、 IN4007、3DG6、3DK2、2AK2 及 R、C 元件若干

四、实验内容

在实验装置合适位置放置元件，然后接线。

1、二极管反向恢复时间的观察

按图 1-4 接线，E 为偏置电压（0~2V 可调）

(1) 输入信号 v_i 为频率 $f=100\text{KHz}$ 、幅值 $V_m=3\text{V}$ 方波信号，E 调至 0V，用双踪示波器观察和记录输入信号 v_i 和输出信号 v_o 的波形，并读出存贮时间 t_s 和下降时间 t_f 的值。

(2) 改变偏置电压 E（由 0 变到 2V），观察输出波形 v_o 的 t_s 和 t_f 的变化规律，记录结果进行分析。

2、三极管开关特性的观察

按图 1-5 接线，输入 v_i 为 100KHz 方波信号，晶体管选用 3DG6A。

(1) 将 B 点接至负电源 $-E_b$ ，使 $-E_b$ 在 0~-4V 内变化。观察并记录输出信号 v_o 波形的 t_d 、 t_r 、 t_s 和 t_f 变化规律。

(2) 将 B 点换接在接地点，在 R_{b1} 上并一 30PF 的加速电容 C_b ，观察 C_b 对输出波形的影响，然后将 C_b 更换成 300PF，观察并记录输出波形的变化情况。

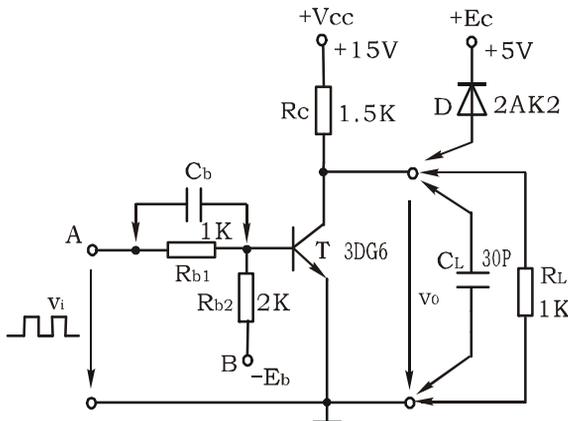


图 1-5 三极管开关特性实验电路

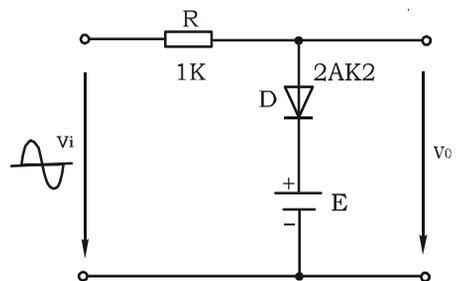


图 1-6 二极管限幅器

(3) 去掉 C_b ，在输出端接入负载电容 $C_L=30\text{PF}$ ，观察并记录输出波形的变化情况。

(4) 在输出端再并接一负载电阻 $R_L = 1K\Omega$ ，观察并记录输出波形的变化情况。

(5) 去掉 R_L ，接入限幅二极管 D(2AK2)，观察并记录输出波形的变化情况。

3、二极管限幅器

按图 1-6 接线，输入 v_i 为 $f=10KHz$ ， $V_{pp}=4V$ 的正弦波信号，令 $E=2V$ ， $1V$ ， $0V$ ， $-1V$ ，观察输出波形 v_o ，并列表记录。

4、二极管箝位器

按图 1-7 接线， v_i 为 $f=10KHz$ 的方波信号，令 $E=1V$ 、 $0V$ 、 $-1V$ 、 $-3V$ ，观察输出波形，并列表记录。

5、三极管限幅器

按图 1-8 接线， v_i 为正弦波， $f=10KHz$ ， V_{pp} 在 $0\sim 5V$ 范围连续可调，在不同的输入信号幅度下，观察输出波形 v_o 的变化情况，并列表记录。

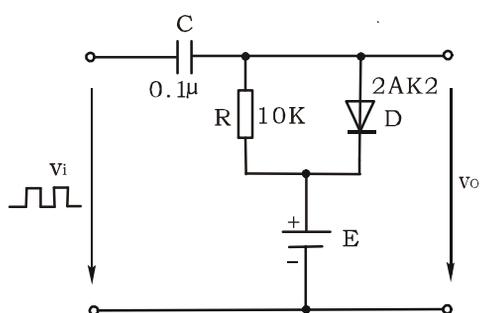


图 1-7 二极管箝位器

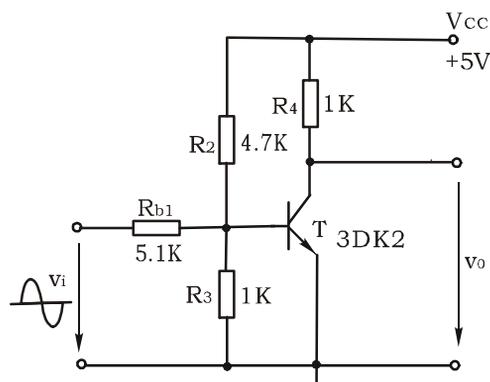


图 1-8 三极管限幅器

五、实验报告

- 1、将实验观测到的波形画在方格坐标纸上，并对它们进行分析和讨论。
- 2、总结外电路元件参数对二、三极管开关特性的影响。

六、实验预习要求

- 1、如何由 $+5V$ 和 $-5V$ 直流稳压电源获得 $+3V\sim -3V$ 连续可调的电源。
- 2、熟知二极管、三极管开关特性的表现及提高开关速度的方法。
- 3、在二极管箝位器和限幅器中，若将二极管的极性及偏压的极性反接，输出波形会出现什么变化？

实验二 TTL 集成逻辑门的逻辑功能与参数测试

一、实验目的

- 1、掌握 TTL 集成与非门的逻辑功能和主要参数的测试方法
- 2、掌握 TTL 器件的使用规则
- 3、进一步熟悉数字电路实验装置的结构，基本功能和使用方法

二、实验原理

本实验采用四输入双与非门 74LS20，即在一块集成块内含有两个互相独立的与非门，每个与非门有四个输入端。其逻辑框图、符号及引脚排列如图 2-1(a)、(b)、(c)所示。

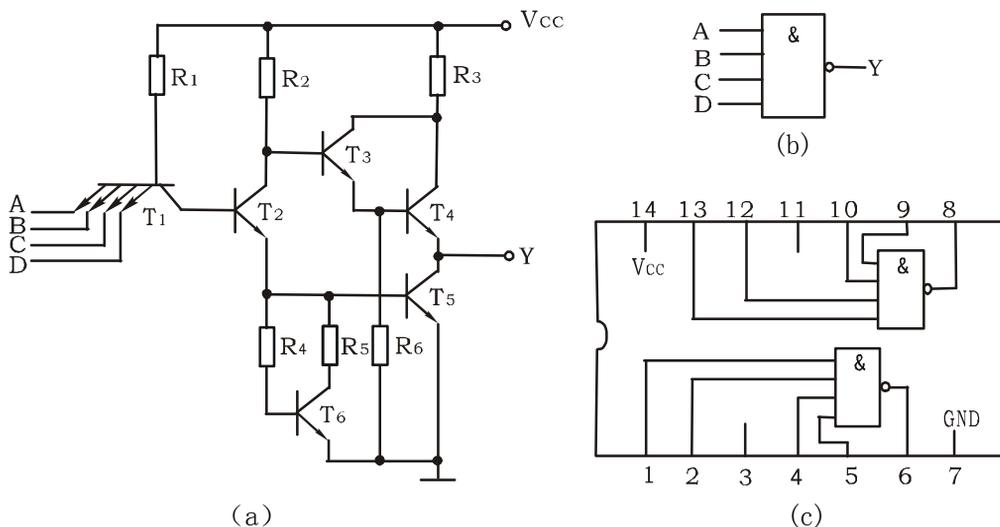


图 2-1 74LS20 逻辑框图、逻辑符号及引脚排列

1、与非门的逻辑功能

与非门的逻辑功能是：当输入端中有一个或一个以上是低电平时，输出端为高电平；只有当输入端全部为高电平时，输出端才是低电平（即有“0”得“1”，全“1”得“0”。）

其逻辑表达式为 $Y = \overline{AB\cdots}$

2、TTL 与非门的主要参数

(1) 低电平输出电源电流 I_{CCL} 和高电平输出电源电流 I_{CCH}

与非门处于不同的工作状态，电源提供的电流是不同的。 I_{CCL} 是指所有输入端悬空，输出端空载时，电源提供器件的电流。 I_{CCH} 是指输出端空截，每个门各有一个以上的输入端接地，其余输入端悬空，电源提供给器件的电流。通常 $I_{CCL} > I_{CCH}$ ，它们的大小标志着器件静态功耗的大小。器件的最大功耗为 $P_{CCL} = V_{CC} I_{CCL}$ 。手册中提供的电源电流和功耗值是指整个器件总的电源电流和总的功耗。 I_{CCL} 和 I_{CCH} 测试电路如图 2-2(a)、(b) 所示。

[注意]：TTL 电路对电源电压要求较严，电源电压 V_{CC} 只允许在 $+5V \pm 10\%$ 的范围内工作，超过 5.5V 将损坏器件；低于 4.5V 器件的逻辑功能将不正常。

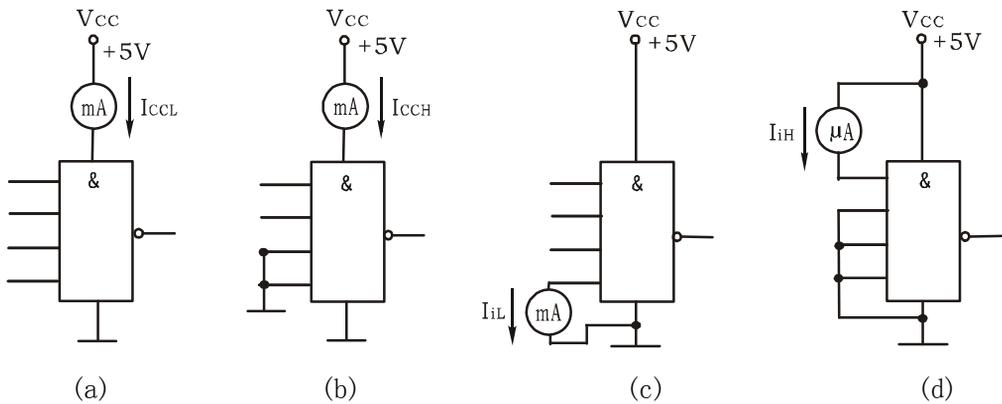


图 2-2 TTL 与非门静态参数测试电路图

(2) 低电平输入电流 I_{iL} 和高电平输入电流 I_{iH} 。 I_{iL} 是指被测输入端接地，其余输入端悬空，输出端空载时，由被测输入端流出的电流值。在多级门电路中， I_{iL} 相当于前级门输出低电平时，后级向前级门灌入的电流，因此它关系到前级门的灌电流负载能力，即直接影响前级门电路带负载的个数，因此希望 I_{iL} 小些。

I_{iH} 是指被测输入端接高电平，其余输入端接地，输出端空载时，流入被测输入端的电流值。在多级门电路中，它相当于前级门输出高电平时，前级

门的拉电流负载，其大小关系到前级门的拉电流负载能力，希望 I_{iH} 小些。由于 I_{iH} 较小，难以测量，一般免于测试。

I_{iL} 与 I_{iH} 的测试电路如图 2-2(c)、(d) 所示。

(3) 扇出系数 N_0

扇出系数 N_0 是指门电路能驱动同类门的个数，它是衡量门电路负载能力的一个参数，TTL 与非门有两种不同性质的负载，即灌电流负载和拉电流负载，因此有两种扇出系数，即低电平扇出系数 N_{OL} 和高电平扇出系数 N_{OH} 。通常 $I_{iH} < I_{iL}$ ，则 $N_{OH} > N_{OL}$ ，故常以 N_{OL} 作为门的扇出系数。

N_{OL} 的测试电路如图 2-3 所示，门的输入端全部悬空，输出端接灌电流负载 R_L ，调节 R_L 使 I_{OL} 增大， V_{OL} 随之增高，当 V_{OL} 达到 V_{OLm} （手册中规定低电平规范值 0.4V）时的 I_{OL} 就是允许灌入的最大负载电流，则

$$N_{OL} = \frac{I_{OL}}{I_{iL}} \quad \text{通常 } N_{OL} \geq 8$$

(4) 电压传输特性

门的输出电压 v_o 随输入电压 v_i 而变化的曲线 $v_o = f(v_i)$ 称为门的电压传输特性，通过它可读得门电路的一些重要参数，如输出高电平 V_{OH} 、输出低电平 V_{OL} 、关门电平 V_{off} 、开门电平 V_{ON} 、阈值电平 V_T 及抗干扰容限 V_{NL} 、 V_{NH} 等值。测试电路如图 2-4 所示，采用逐点测试法，即调节 R_w ，逐点测得 V_i 及 V_o ，然后绘成曲线。

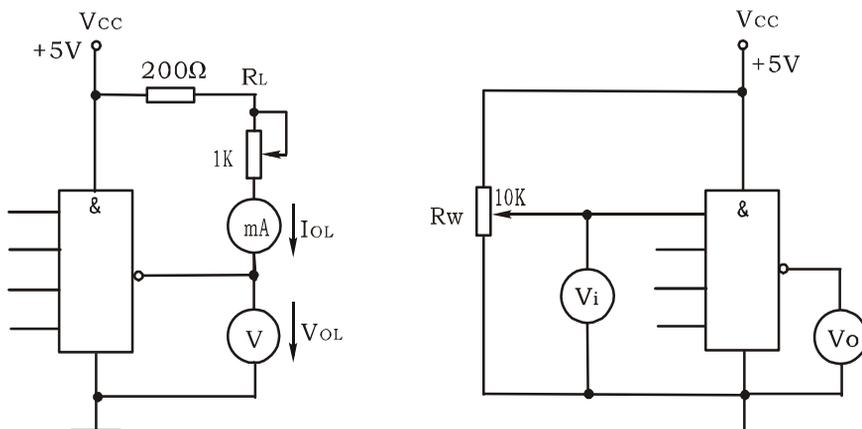


图 2-3 扇出系数试测电路

图 2-4 传输特性测试电路

(5) 平均传输延迟时间 t_{pd}

t_{pd} 是衡量门电路开关速度的参数, 它是指输出波形边沿的 $0.5V_m$ 至输入波形对应边沿 $0.5V_m$ 点的时间间隔, 如图 2-5 所示。

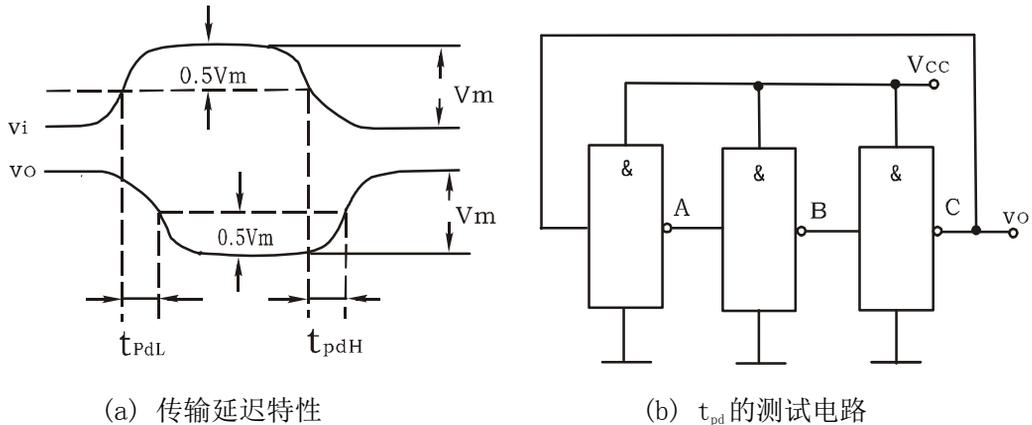


图 2-5

图 2-5(a) 中的 t_{pdL} 为导通延迟时间, t_{pdH} 为截止延迟时间, 平均传输延迟时间为

$$t_{pd} = \frac{1}{2}(t_{pdL} + t_{pdH})$$

t_{pd} 的测试电路如图 2-5(b) 所示, 由于 TTL 门电路的延迟时间较小, 直接测量时对信号发生器和示波器的性能要求较高, 故实验采用测量由奇数个与非门组成的环形振荡器的振荡周期 T 来求得。其工作原理是: 假设电路在接通电源后某一瞬间, 电路中的 A 点为逻辑“1”, 经过三级门的延迟后, 使 A 点由原来的逻辑“1”变为逻辑“0”; 再经过三级门的延迟后, A 点电平又重新回到逻辑“1”。电路中其它各点电平也跟随变化。说明使 A 点发生一个周期的振荡, 必须经过 6 级门的延迟时间。因此平均传输延迟时间为

$$t_{pd} = \frac{T}{6}$$

TTL 电路的 t_{pd} 一般在 $10\text{nS} \sim 40\text{nS}$ 之间。

74LS20 主要电参数规范如表 2-1 所示

表 2-1

参数名称和符号		规范值	单位	测试条件	
直流参数	通导电源电流	I_{CCL}	<14	mA	$V_{CC}=5V$, 输入端悬空, 输出端空载
	截止电源电流	I_{CCH}	<7	mA	$V_{CC}=5V$, 输入端接地, 输出端空载
	低电平输入电流	I_{iL}	≤ 1.4	mA	$V_{CC}=5V$, 被测输入端接地, 其他输入端悬空, 输出端空载
	高电平输入电流	I_{iH}	<50	μA	$V_{CC}=5V$, 被测输入端 $V_{in}=2.4V$, 其他输入端接地, 输出端空载。
			<1	mA	$V_{CC}=5V$, 被测输入端 $V_{in}=5V$, 其他输入端接地, 输出端空载。
	输出高电平	V_{OH}	≥ 3.4	V	$V_{CC}=5V$, 被测输入端 $V_{in}=0.8V$, 其他输入端悬空, $I_{OH}=400 \mu A$ 。
	输出低电平	V_{OL}	<0.3	V	$V_{CC}=5V$, 输入端 $V_{in}=2.0V$, $I_{OL}=12.8mA$ 。
扇出系数	N_0	4~8	V	同 V_{OH} 和 V_{OL}	
交流参数	平均传输延迟时间	t_{pd}	≤ 20	ns	$V_{CC}=5V$, 被测输入端输入信号: $V_{in}=3.0V$, $f=2MHz$ 。

三、实验设备与器件

- | | |
|---|-----------|
| 1、+5V 直流电源 | 2、逻辑电平开关 |
| 3、逻辑电平显示器 | 4、直流数字电压表 |
| 5、直流毫安表 | 6、直流微安表 |
| 7、74LS20×2、1K、10K 电位器, 200 Ω 电阻器(0.5W) | |

四、实验内容

在合适的位置选取一个 14P 插座, 按定位标记插好 74LS20 集成块。

- 1、验证 TTL 集成与非门 74LS20 的逻辑功能

按图 2-6 接线，门的四个输入端接逻辑开关输出插口，以提供“0”与“1”电平信号，开关向上，输出逻辑“1”，向下为逻辑“0”。门的输出端接由 LED 发光二极管组成的逻辑电平显示器（又称 0-1 指示器）的显示插口，LED 亮为逻辑“1”，不亮为逻辑“0”。按表 2-2 的真值表逐个测试集成块中两个与非门的逻辑功能。74LS20 有 4 个输入端，有 16 个最小项，在实际测试时，只要通过对输入 1111、0111、1011、1101、1110 五项进行检测就可判断其逻辑功能是否正常。

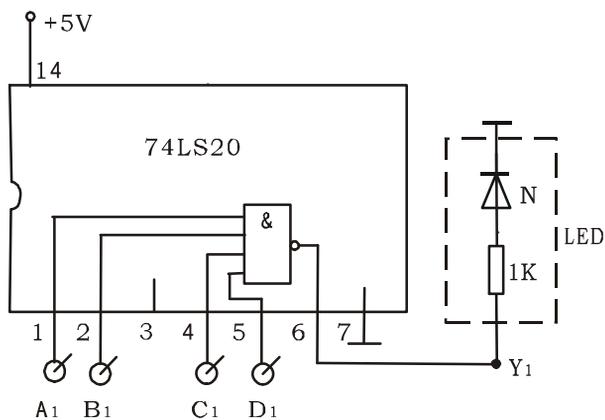


图2-6 与非门逻辑功能测试电路

表 2-2

输 入				输 出	
A _n	B _n	C _n	D _n	Y ₁	Y ₂
1	1	1	1		
0	1	1	1		
1	0	1	1		
1	1	0	1		
1	1	1	0		

2、74LS20 主要参数的测试

(1) 分别按图 2-2、2-3、2-5(b) 接线并进行测试，将测试结果记入表 2-3 中。

表 2-3

I _{CCL}	I _{CCH}	I _{iL}	I _{oL}	$N_0 = \frac{I_{oL}}{I_{iL}}$	t _{pd} = T/6
(mA)	(mA)	(mA)	(mA)		(ns)

(2)接图 2-4 接线, 调节电位器 R_w , 使 v_i 从 0V 向高电平变化, 逐点测量 v_i 和 v_o 的对应值, 记入表 2-4 中。

表 2-4

V_i (V)	0	0.2	0.4	0.6	0.8	1.0	1.5	2.0	2.5	3.0	3.5	4.0	...
V_o (V)													

五、实验报告

- 1、记录、整理实验结果, 并对结果进行分析。
- 2、画出实测的电压传输特性曲线, 并从中读出各有关参数值。

六、集成电路芯片简介

数字电路实验中所用到的集成芯片都是双列直插式的, 其引脚排列规则如图 2-1 所示。识别方法是: 正对集成电路型号 (如 74LS20) 或看标记 (左边的缺口或小圆点标记), 从左下角开始按逆时针方向以 1, 2, 3, ... 依次排列到最后一脚 (在左上角)。在标准形 TTL 集成电路中, 电源端 V_{cc} 一般排在左上端, 接地端 GND 一般排在右下端。如 74LS20 为 14 脚芯片, 14 脚为 V_{cc} , 7 脚为 GND。若集成芯片引脚上的功能标号为 NC, 则表示该引脚为空脚, 与内部电路不连接。

七、TTL 集成电路使用规则

- 1、接插集成块时, 要认清定位标记, 不得插反。
- 2、电源电压使用范围为 +4.5V ~ +5.5V 之间, 实验中要求使用 $V_{cc} = +5V$ 。电源极性绝对不允许接错。

3、闲置输入端处理方法

(1) 悬空, 相当于正逻辑 “1”, 对于一般小规模集成电路的数据输入端, 实验时允许悬空处理。但易受外界干扰, 导致电路的逻辑功能不正常。因此, 对于接有长线的输入端, 中规模以上的集成电路和使用集成电路较多的复杂电路, 所有控制输入端必须按逻辑要求接入电路, 不允许悬空。

(2) 直接接电源电压 V_{cc} (也可以串入一只 1~10K Ω 的固定电阻) 或接至

某一固定电压 ($+2.4 \leq V \leq 4.5V$) 的电源上, 或与输入端为接地的多余与非门的输出端相接。

(3) 若前级驱动能力允许, 可以与使用的输入端并联。

4、输入端通过电阻接地, 电阻值的大小将直接影响电路所处的状态。当 $R \leq 680 \Omega$ 时, 输入端相当于逻辑“0”; 当 $R \geq 4.7 \text{ K}\Omega$ 时, 输入端相当于逻辑“1”。对于不同系列的器件, 要求的阻值不同。

5、输出端不允许并联使用 (集电极开路门 (OC) 和三态输出门电路 (3S) 除外)。否则不仅会使电路逻辑功能混乱, 并会导致器件损坏。

6、输出端不允许直接接地或直接接 +5V 电源, 否则将损坏器件, 有时为了使后级电路获得较高的输出电平, 允许输出端通过电阻 R 接至 V_{cc} , 一般取 $R = 3 \sim 5.1 \text{ K}\Omega$ 。

实验三 CMOS 集成逻辑门的逻辑功能与参数测试

一、实验目的

- 1、掌握 CMOS 集成门电路的逻辑功能和器件的使用规则
- 2、学会 CMOS 集成门电路主要参数的测试方法

二、实验原理

1、CMOS 集成电路是将 N 沟道 MOS 晶体管和 P 沟道 MOS 晶体管同时用于一个集成电路中，成为组合二种沟道 MOS 管性能的更优良的集成电路。CMOS 集成电路的主要优点是：

(1) 功耗低，其静态工作电流在 10^{-9} A 数量级，是目前所有数字集成电路中最低的，而 TTL 器件的功耗则大得多。

(2) 高输入阻抗，通常大于 $10^{10}\Omega$ ，远高于 TTL 器件的输入阻抗。

(3) 接近理想的传输特性，输出高电平可达电源电压的 99.9% 以上，低电平可达电源电压的 0.1% 以下，因此输出逻辑电平的摆幅很大，噪声容限很高。

(4) 电源电压范围广，可在 +3V~+18V 范围内正常运行。

(5) 由于有很高的输入阻抗，要求驱动电流很小，约 $0.1\mu\text{A}$ ，输出电流在 +5V 电源下约为 $500\mu\text{A}$ ，远小于 TTL 电路，如以此电流来驱动同类门电路，其扇出系数将非常大。在一般低频率时，无需考虑扇出系数，但在高频时，后级门的输入电容将成为主要负载，使其扇出能力下降，所以在较高频率工作时，CMOS 电路的扇出系数一般取 10~20。

2、CMOS 门电路逻辑功能

尽管 CMOS 与 TTL 电路内部结构不同，但它们的逻辑功能完全一样。本实验将测定与门 CC4081，或门 CC4071，与非门 CC4011，或非门 CC4001 的逻辑

功能。各集成块的逻辑功能与真值表参阅教材及有关资料。

3、CMOS 与非门的主要参数

CMOS 与非门主要参数的定义及测试方法与 TTL 电路相仿，从略。

4、CMOS 电路的使用规则

由于 CMOS 电路有很高的输入阻抗，这给使用者带来一定的麻烦，即外来的干扰信号很容易在一些悬空的输入端上感应出很高的电压，以至损坏器件。

CMOS 电路的使用规则如下：

(1) V_{DD} 接电源正极， V_{SS} 接电源负极（通常接地 \perp ），不得接反。CC4000 系列的电源允许电压在 $+3\sim+18V$ 范围内选择，实验中一般要求使用 $+5\sim+15V$ 。

(2) 所有输入端一律不准悬空

闲置输入端的处理方法： a) 按照逻辑要求，直接接 V_{DD} （与非门）或 V_{SS} （或非门）。 b) 在工作频率不高的电路中，允许输入端并联使用。

(3) 输出端不允许直接与 V_{DD} 或 V_{SS} 连接，否则将导致器件损坏。

(4) 在装接电路，改变电路连接或插、拔电路时，均应切断电源，严禁带电操作。

(5) 焊接、测试和储存时的注意事项：

a、电路应存放在导电的容器内，有良好的静电屏蔽；

b、焊接时必须切断电源，电烙铁外壳必须良好接地，或拔下烙铁，靠其余热焊接；

c、所有的测试仪器必须良好接地；

三、实验设备与器件

1、+5V 直流电源

2、双踪示波器

3、连续脉冲源

4、逻辑电平开关

5、逻辑电平显示器

6、直流数字电压表

7、直流毫安表

8、直流微安表

9、CC4011、CC4001、CC4071、CC4081、电位器 100K、电阻 1K

四、实验内容

1、CMOS 与非门 CC4011 参数测试（方法与 TTL 电路相同）

(1) 测试 CC4011 一个门的 I_{CCL} , I_{CCH} , I_{iL} , I_{iH}

(2) 测试 CC4011 一个门的传输特性（一个输入端作信号输入，另一个输入端接逻辑高电平）

(3) 将 CC4011 的三个门串接成振荡器，用示波器观测输入、输出波形，并计算出 t_{pd} 值。

2、验证 CMOS 各门电路的逻辑功能，判断其好坏。

验证与非门 CC4011、与门 CC4081、或门 CC4071 及或非门 CC4001 逻辑功能，其引脚见附录。

以 CC4011 为例：测试时，选好某一个 14P 插座，插入被测器件，其输入端 A、B 接逻辑开关的输出插口，其输出端 Y 接至逻辑电平显示器输入插口，拨动逻辑电平开关，逐个测试各门的逻辑功能，并记入表 3-1 中。

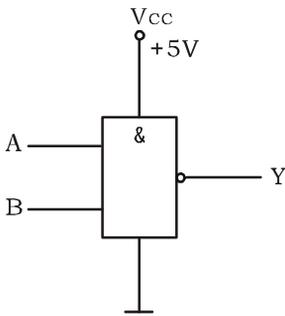


表 3-1

输 入		输 出			
A	B	Y_1	Y_2	Y_3	Y_4
0	0				
0	1				
1	0				
1	1				

图 3-1 与非门逻辑功能测试

3、观察与非门、与门、或非门对脉冲的控制作用。

选用与非门按图 3-2(a)、(b) 接线，将一个输入端接连续脉冲源（频率为 20KHz），用示波器观察两种电路的输出波形，记录之。

然后测定“与门”和“或非门”对连续脉冲的控制作用。

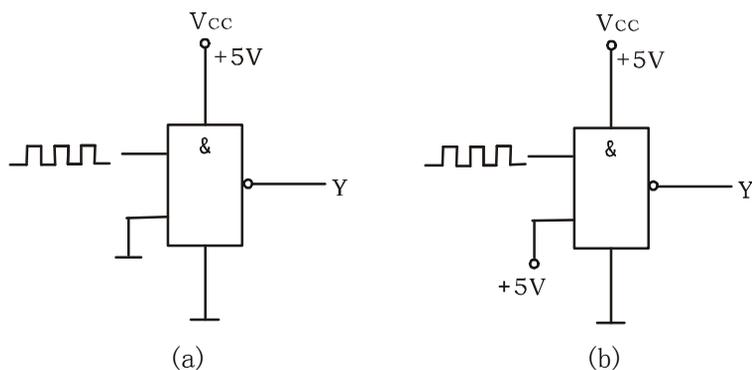


图 3-2 与非门对脉冲的控制作用

五、预习要求

- 1、复习 CMOS 门电路的工作原理
- 2、熟悉实验用各集成门引脚功能
- 3、画出各实验内容的测试电路与数据记录表格
- 4、画好实验用各门电路的真值表表格
- 5、各 CMOS 门电路闲置输入端如何处理？

六、实验报告

- 1、整理实验结果，用坐标纸画出传输特性曲线。
- 2、根据实验结果，写出各门电路的逻辑表达式，并判断被测电路的功能好坏。

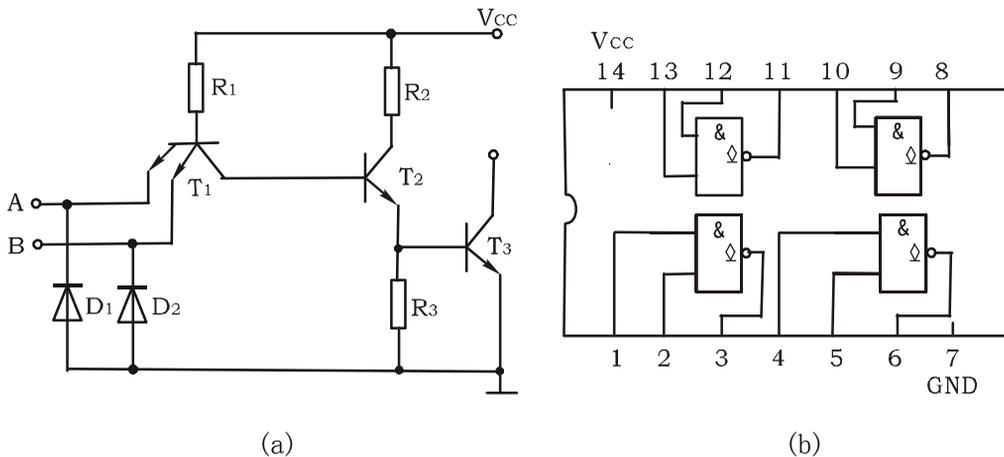
附录 1 TTL 集电极开路门与三态输出门的应用

数字系统中有时需要把两个或两个以上集成逻辑门的输出端直接并接在一起完成一定的逻辑功能。对于普通的 TTL 门电路，由于输出级采用了推拉式输出电路，无论输出是高电平还是低电平，输出阻抗都很低。因此，通常不允许将它们的输出端并接在一起使用。

集电极开路门和三态输出门是两种特殊的 TTL 门电路，它们允许把输出端直接并接在一起使用。

1、TTL 集电极开路门（OC 门）

本实验所用 OC 与非门型号为 2 输入四与非门 74LS03，内部逻辑图及引脚排列如附图 1-1(a)、(b) 所示。OC 与非门的输出管 T_3 是悬空的，工作时，输出端必须通过一只外接电阻 R_L 和电源 E_c 相连接，以保证输出电平符合电路要求。



附图 1-1 74LS03 内部结构及引脚排列

OC 门的应用主要有下述三个方面

(1) 利用电路的“线与”特性方便的完成某些特定的逻辑功能。

附图 1-2 所示，将两个 OC 与非门输出端直接并接在一起，则它们的输出

$$F = F_A \cdot F_B = \overline{A_1 A_2} \cdot \overline{B_1 B_2} = \overline{A_1 A_2 + B_1 B_2}$$

即把两个（或两个以上）OC 与非门“线与”可完成“与或非”的逻辑功能。

(2) 实现多路信息采集，使两路以上的信息共用一个传输通道(总线)。

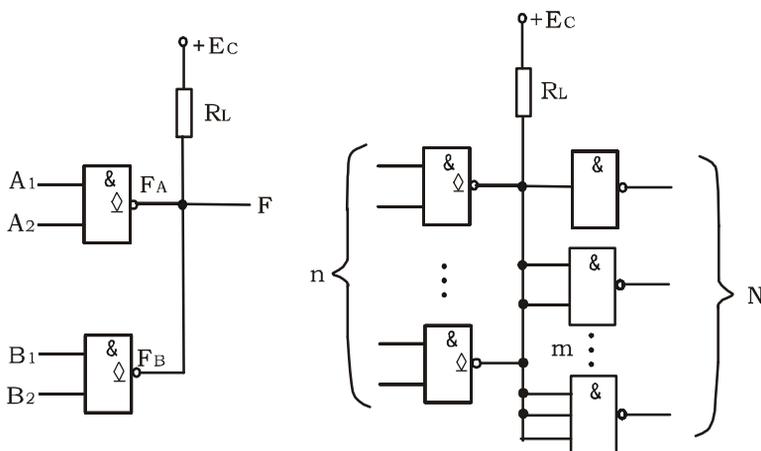
(3) 实现逻辑电平的转换，以推动荧光数码管、继电器、MOS 器件等多种数字集成电路。

OC 门输出并联运用时负载电阻 R_L 的选择

附图 1-3 所示电路由 n 个 OC 与非门“线与”驱动有 m 个输入端的 N 个 TTL 与非门，为保证 OC 与非门输出电平符合逻辑要求，负载电阻 R_L 阻值的选择范围为

$$R_{Lmax} = \frac{E_C - V_{OH}}{nI_{OH} + mI_{iH}}$$

$$R_{Lmin} = \frac{E_C - V_{OL}}{I_{LM} + NI_{iL}}$$



附图 1-2 OC 与非门“线与”电路

附图 1-3 OC 与非门负载电阻 R_L 的确定

式中： I_{OH} — OC 门输出管截止时（输出高电平 V_{OH} ）的漏电流（约 $50 \mu A$ ）

I_{LM} — OC 门输出低电平 V_{OL} 时允许最大灌入负载电流（约 $20mA$ ）

I_{iH} — 负载门高电平输入电流 ($< 50 \mu A$)

I_{iL} — 负载门低电平输入电流 ($< 1.6mA$)

E_C — R_L 外接电源电压

n — OC 门个数

N — 负载门个数

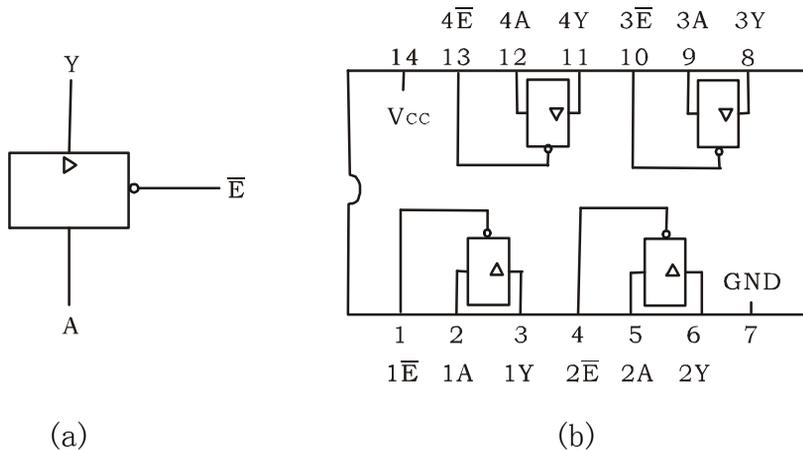
m — 接入电路的负载门输入端总个数

R_L 值须小于 R_{Lmax} , 否则 V_{OH} 将下降, R_L 值须大于 R_{Lmin} , 否则 V_{OL} 将上升, 又 R_L 的大小会影响输出波形的边沿时间, 在工作速度较高时, R_L 应尽量选取接近 R_{Lmin} 。

除了 OC 与非门外, 还有其它类型的 OC 器件, R_L 的选取方法也与此类同。

2、TTL 三态输出门 (3S 门)

TTL 三态输出门是一种特殊的门电路, 它与普通的 TTL 门电路结构不同, 它的输出端除了通常的高电平、低电平两种状态外 (这两种状态均为低阻状态), 还有第三种输出状态 — 高阻状态, 处于高阻状态时, 电路与负载之间相当于开路。三态输出门按逻辑功能及控制方式来分有各种不同类型, 本实验所用三态门的型号是 74LS125 三态输出四总线缓冲器, 附图 1-4(a) 是三态



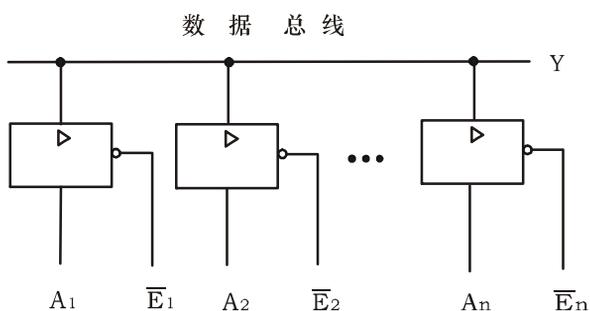
附图 1-4 74LS125 三态四总线缓冲器逻辑符号及引脚排列

输出四总线缓冲器的逻辑符号, 它有一个控制端 (又称禁止端或使能端) \bar{E} , $\bar{E} = 0$ 为正常工作状态, 实现 $Y=A$ 的逻辑功能; $\bar{E} = 1$ 为禁止状态, 输出 Y 呈

现高阻状态。这种在控制端加低电平时电路才能正常工作的工作方式称低电平使能。

附图 1-4(b) 为 74LS125 引脚排列。附表 1-1 为功能表。

三态电路主要用途之一是实现总线传输，即用一个传输通道(称总线)，以选通方式传送多路信息。附图 1-5 所示，电路中把若干个三态 TTL 电路输出端直接连接在一起构成三态门总线，使用时，要求只有需要传输信息的三态控制端处于使能态 ($\bar{E}=0$) 其余各门皆处于禁止状态 ($\bar{E}=1$)。由于三态门输出电路结构与普通 TTL 电路相同，显然，若同时有两个或两个以上三态门的控制端处于使能态，将出现与普通 TTL 门“线与”运用时同样的问题，因而是绝对不允许的。



附表 1-1

输 入		输 出
\bar{E}	A	Y
0	0	0
	1	1
1	0	高阻态
	1	

附图 1-5 三态输出门实现总线传输

实验四 集成逻辑电路的连接和驱动

一、实验目的

- 1、掌握 TTL、CMOS 集成电路输入电路与输出电路的性质。
- 2、掌握集成逻辑电路相互衔接时应遵守的规则和实际衔接方法。

二、实验原理

1、TTL 电路输入输出电路性质

当输入端为高电平时，输入电流是反向二极管的漏电流，电流极小。其方向是从外部流入输入端。

当输入端处于低电平时，电流由电源 V_{CC} 经内部电路流出输入端，电流较大，当与上一级电路衔接时，将决定上级电路应具的负载能力。高电平输出电压在负载不大时为 3.5V 左右。低电平输出时，允许后级电路灌入电流，随着灌入电流的增加，输出低电平将升高，一般 LS 系列 TTL 电路允许灌入 8mA 电流，即可吸收后级 20 个 LS 系列标准门的灌入电流。最大允许低电平输出电压为 0.4V。

2、CMOS 电路输入输出电路性质

一般 CC 系列的输入阻抗可高达 $10^{10} \Omega$ ，输入电容在 5pf 以下，输入高电平通常要求在 3.5V 以上，输入低电平通常为 1.5V 以下。因 CMOS 电路的输出结构具有对称性，故对高低电平具有相同的输出能力，负载能力较小，仅可驱动少量的 CMOS 电路。当输出端负载很轻时，输出高电平将十分接近电源电压；输出低电平时将十分接近地电位。

在高速 CMOS 电路 54/74HC 系列中的一个子系列 54/74HCT，其输入电平与 TTL 电路完全相同，因此在相互取代时，不需考虑电平的匹配问题。

3、集成逻辑电路的衔接

在实际的数字电路系统中总是将一定数量的集成逻辑电路按需要前后连接起来。这时，前级电路的输出将与后级电路的输入相连并驱动后级电路工

作。这就存在着电平的配合和负载能力这两个需要妥善解决的问题。

可用下列几个表达式来说明连接时所要满足的条件

$$V_{OH} \text{ (前级)} \geq V_{IH} \text{ (后级)}$$

$$V_{OL} \text{ (前级)} \leq V_{IL} \text{ (后级)}$$

$$I_{OH} \text{ (前级)} \geq n \times I_{IH} \text{ (后级)}$$

$$I_{OL} \text{ (前级)} \geq n \times I_{IL} \text{ (后级)} \quad n \text{ 为后级门的数目}$$

(1) TTL 与 TTL 的连接

TTL 集成逻辑电路的所有系列，由于电路结构形式相同，电平配合比较方便，不需要外接元件可直接连接，不足之处是受低电平时负载能力的限制。

表 4-1 列出了 74 系列 TTL 电路的扇出系数。

表 4-1

	74LS00	74ALS00	7400	74L00	74S00
74LS00	20	40	5	40	5
74ALS00	20	40	5	40	5
7400	40	80	10	40	10
74L00	10	20	2	20	1
74S00	50	100	12	100	12

(2) TTL 驱动 CMOS 电路

TTL 电路驱动 CMOS 电路时，由于 CMOS 电路的输入阻抗高，故此驱动电流一般不会受到限制，但在电平配合问题上，低电平是可以的，高电平时有困难，因为 TTL 电路在满载时，输出高电平通常低于 CMOS 电路对输入高电平的要求，因此为保证 TTL 输出高电平时，后级的 CMOS 电路能可靠工作，通常要外接一个提拉电阻 R，如图 4-1 所示，使输出高电平达到 3.5V 以上，R 的取值为 2~6.2K 较合适，这时 TTL 后级的 CMOS 电路的数目实际上是没有

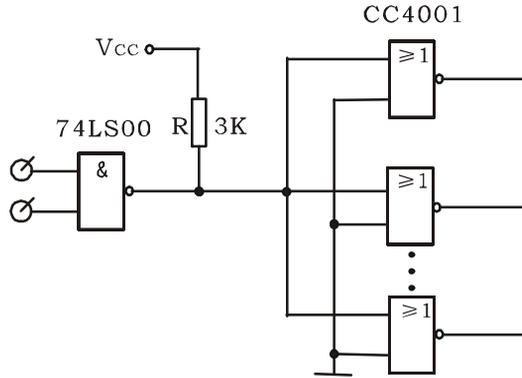


图 4-1 TTL 电路驱动 CMOS 电路

(3) CMOS 驱动 TTL 电路

CMOS 的输出电平能满足 TTL 对输入电平的要求，而驱动电流将受限制，主要是低电平时的负载能力。表 4-2 列出了一般 CMOS 电路驱动 TTL 电路时的扇出系数，从表中可见，除了 74HC 系列外的其它 CMOS 电路驱动 TTL 的能力都较低。

表 4-2

	LS-TTL	L-TTL	TTL	ASL-TTL
CC4001B 系列	1	2	0	2
MC14001B 系列	1	2	0	2
MM74HC 及 74HCT 系列	10	20	2	20

既要使用此系列又要提高其驱动能力时，可采用以下两种方法：

a、采用 CMOS 驱动器，如 CC4049、CC4050 是专为给出较大驱动能力而设计的 CMOS 电路。

b、几个同功能的 CMOS 电路并联使用，即将其输入端并联，输出端并联（TTL 电路是不允许并联的）。

(4) CMOS 与 CMOS 的衔接

CMOS 电路之间的连接十分方便，不需另加外接元件。对直流参数来讲，一个 CMOS 电路可带动的 CMOS 电路数量是不受限制，但在实际使用时，应当考虑后级门输入电容对前级门的传输速度的影响，电容太大时，传输速度要下降，因此在高速使用时要从负载电容来考虑，例如 CC4000T 系列。CMOS 电

路在 10MHz 以上速度运用时应限制在 20 个门以下。

三、实验设备与器件

- | | | | |
|------------|----------|--------|------|
| 1、+5V 直流电源 | 2、逻辑电平开关 | | |
| 3、逻辑电平显示器 | 4、逻辑笔 | | |
| 5、直流数字电压表 | 6、直流毫安表 | | |
| 7、74LS00×2 | CC4001 | 74HC00 | |
| 电阻: | 100 Ω | 470 Ω | 3K Ω |
| 电位器: | 47K | 10K | 4.7K |

四、实验内容

1、测试 TTL 电路 74LS00 及 CMOS 电路 CC4001 的输出特性

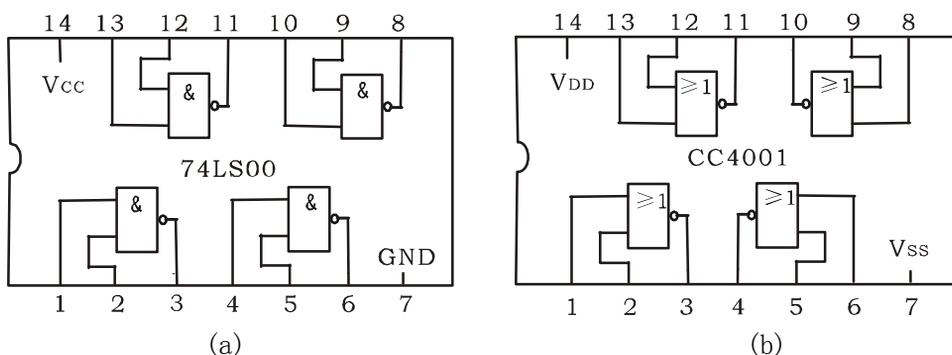


图 4-2 74LS00 与非门与 CC4001 或非门电路引脚排列

测试电路如图 4-3 所示，图中以与非门 74LS00 为例画出了高、低电平两种输出状态下输出特性的测量方法。改变电位器 R_w 的阻值，从而获得输出特性曲线， R 为限流电阻。

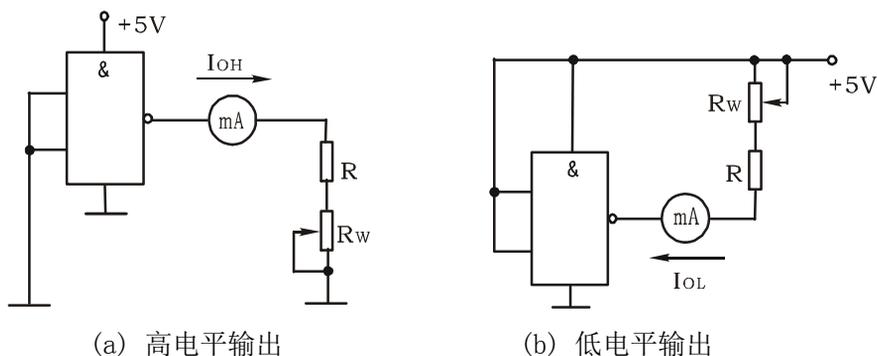


图 4-3 与非门电路输出特性测试电路

(1) 测试 TTL 电路 74LS00 的输出特性

在实验装置的合适位置选取一个 14P 插座。插入 74LS00， R 取为 $100\ \Omega$ ，高电平输出时， R_w 取 $47\text{K}\ \Omega$ ，低电平输出时， R_w 取 $10\text{K}\ \Omega$ ，高电平测试时应测量空载到最小允许高电平 (2.7V) 之间的一系列点；低电平测试时应测量空载到最大允许低电平 (0.4V) 之间的一系列点。

(2) 测试 CMOS 电路 CC4001 的输出特性

测试时 R 取为 $470\ \Omega$ ， R_w 取 $4.7\text{K}\ \Omega$

高电平测试时应测量从空载到输出电平降到 4.6V 为止的一系列点；低电平测试时应测量从空载到输出电平升到 0.4V 为止的一系列点。

2、TTL 电路驱动 CMOS 电路

用 74LS00 的一个门来驱动 CC4001 的四个门，实验电路如图 4-1， R 取 $3\text{K}\ \Omega$ 。测量连接 3K 与不连接 3K 电阻时 74LS00 的输出高低电平及 CC4001 的逻辑功能，测试逻辑功能时，可用实验装置上的逻辑笔进行测试，逻辑笔的电源 $+V_{cc}$ 接 $+5\text{V}$ ，其输入口 1NPVT 通过一根导线接至所需的测试点。

3、CMOS 电路驱动 TTL 电路，

电路如图 4-4 所示，被驱动的用 74LS00 的八个门并联。

电路的输入端接逻辑开关输出插口，八个输出端分别接逻辑电平显示的输入插口。先用 CC4001 的一个门来驱动，观测 CC4001 的输出电平和 74LS00 的逻辑功能。

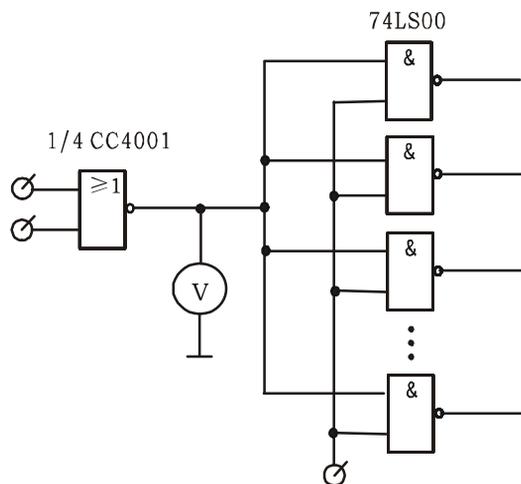


图 4-4 CMOS 驱动 TTL 电路

然后将 CC4001 的其余三个门，一个个并联到第一个门上（输入与输入，输出与输出并联），分别观察 CMOS 的输出电平及 74LS00 的逻辑功能。最后用 1/4 74HC00 代替 1/4 CC4001，测试其输出电平及系统的逻辑功能。

五、预习要求

- 1、 自拟各实验记录用的数据表格，及逻辑电平记录表格。
- 2、 熟悉所用集成电路的引脚功能。

六、实验报告

- 1、 整理实验数据，作出输出特性曲线，并加以分析。
- 2、 通过本次实验，你对不同集成门电路的衔接得出什么结论？

实验五 组合逻辑电路的设计与测试

一、实验目的

掌握组合逻辑电路的设计与测试方法

二、实验原理

1、使用中、小规模集成电路来设计组合电路是最常见的逻辑电路。设计组合电路的一般步骤如图 5-1 所示。

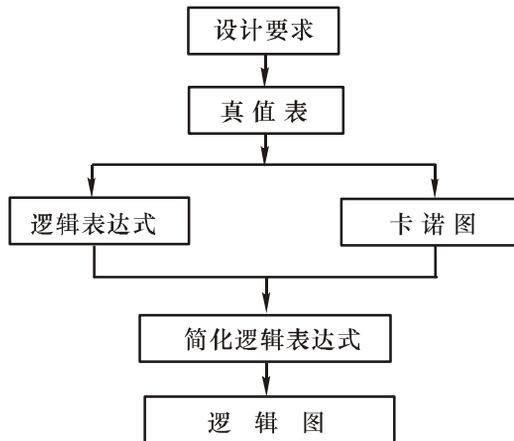


图 5-1 组合逻辑电路设计流程图

根据设计任务的要求建立输入、输出变量，并列出真值表。然后用逻辑代数或卡诺图化简法求出简化的逻辑表达式。并按实际选用逻辑门的类型修改逻辑表达式。根据简化后的逻辑表达式，画出逻辑图，用标准器件构成逻辑电路。最后，用实验来验证设计的正确性。

2、组合逻辑电路设计举例

用“与非”门设计一个表决电路。当四个输入端中有三个或四个为“1”时，输出端才为“1”。

设计步骤：根据题意列出真值表如表 5-1 所示，再填入卡诺图表 5-2 中。

表 5-1

D	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1
A	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1
B	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1
C	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
Z	0	0	0	0	0	0	0	1	0	0	0	1	0	1	1

表 5-2

	DA	00	01	11	10
BC		00	01	11	10
00					
01				1	
11			1	1	1
10				1	

由卡诺图得出逻辑表达式，并演化成“与非”的形式

$$\begin{aligned}
 Z &= ABC + BCD + ACD + ABD \\
 &= \overline{\overline{ABC} \cdot \overline{BCD} \cdot \overline{ACD} \cdot \overline{ABD}}
 \end{aligned}$$

根据逻辑表达式画出用“与非门”构成的逻辑电路如图 5-2 所示。

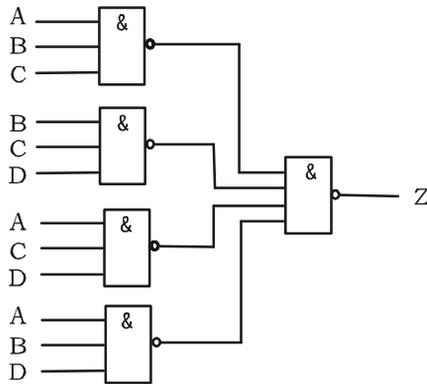


图 5-2 表决电路逻辑图

用实验验证逻辑功能

在实验装置适当位置选定三个 14P 插座，按照集成块定位标记插好集成

块 CC4012。

按图 5-2 接线，输入端 A、B、C、D 接至逻辑开关输出插口，输出端 Z 接逻辑电平显示输入插口，按真值表（自拟）要求，逐次改变输入变量，测量相应的输出值，验证逻辑功能，与表 5-1 进行比较，验证所设计的逻辑电路是否符合要求。

三、实验设备与器件

- | | | |
|----------------------|-------------------|-----------------|
| 1、 +5V 直流电源 | 2、 逻辑电平开关 | |
| 3、 逻辑电平显示器 | 4、 直流数字电压表 | |
| 3、 CC4011×2 (74LS00) | CC4012×3 (74LS20) | CC4030 (74LS86) |
| CC4081 (74LS08) | 74LS54×2(CC4085) | CC4001 (74LS02) |

四、实验内容

- 1、设计用与非门及用异或门、与门组成的半加器电路。

要求按本文所述的设计步骤进行，直到测试电路逻辑功能符合设计要求为止。

- 2、设计一个一位全加器，要求用异或门、与门、或门组成。

- 3、设计一位全加器，要求用与或非门实现。

4、设计一个对两个两位无符号的二进制数进行比较的电路；根据第一个数是否大于、等于、小于第二个数，使相应的三个输出端中的一个输出为“1”，要求用与门、与非门及或非门实现。

五、实验预习要求

- 1、根据实验任务要求设计组合电路，并根据所给的标准器件画出逻辑图。

- 2、如何用最简单的方法验证“与或非”门的逻辑功能是否完好？

- 3、“与或非”门中，当某一组与端不用时，应作如何处理？

六、实验报告

- 1、列写实验任务的设计过程，画出设计的电路图。

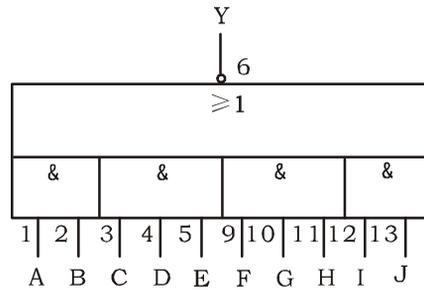
- 2、对所设计的电路进行实验测试，记录测试结果。

3、组合电路设计体会。

注：四路 2—3—3—2 输入与或非门 74LS54



引脚排列



逻辑图

逻辑表达式
$$Y = \overline{A \cdot B + C \cdot D + E + F \cdot G + H + I \cdot J}$$

实验六 译码器及其应用

一、实验目的

- 1、掌握中规模集成译码器的逻辑功能和使用方法
- 2、熟悉数码管的使用

二、实验原理

译码器是一个多输入、多输出的组合逻辑电路。它的作用是把给定的代码进行“翻译”，变成相应的状态，使输出通道中相应的一路有信号输出。译码器在数字系统中有广泛的用途，不仅用于代码的转换、终端的数字显示，还用于数据分配，存储器寻址和组合控制信号等。不同的功能可选用不同种类的译码器。

译码器可分为通用译码器和显示译码器两大类。前者又分为变量译码器和代码变换译码器。

1、变量译码器（又称二进制译码器），用以表示输入变量的状态，如2线—4线、3线—8线和4线—16线译码器。若有 n 个输入变量，则有 2^n 个不同的组合状态，就有 2^n 个输出端供其使用。而每一个输出所代表的函数对应于 n 个输入变量的最小项。

以3线—8线译码器74LS138为例进行分析，图6-1(a)、(b)分别为其逻辑图及引脚排列。

其中 A_2 、 A_1 、 A_0 为地址输入端， $\bar{Y}_0 \sim \bar{Y}_7$ 为译码输出端， S_1 、 \bar{S}_2 、 \bar{S}_3 为使能端。

表6-1为74LS138功能表

当 $S_1=1$ ， $\bar{S}_2 + \bar{S}_3 = 0$ 时，器件使能，地址码所指定的输出端有信号（为0）输出，其它所有输出端均无信号（全为1）输出。当 $S_1=0$ ， $\bar{S}_2 + \bar{S}_3 = X$ 时，或 $S_1=X$ ， $\bar{S}_2 + \bar{S}_3 = 1$ 时，译码器被禁止，所有输出同时为1。

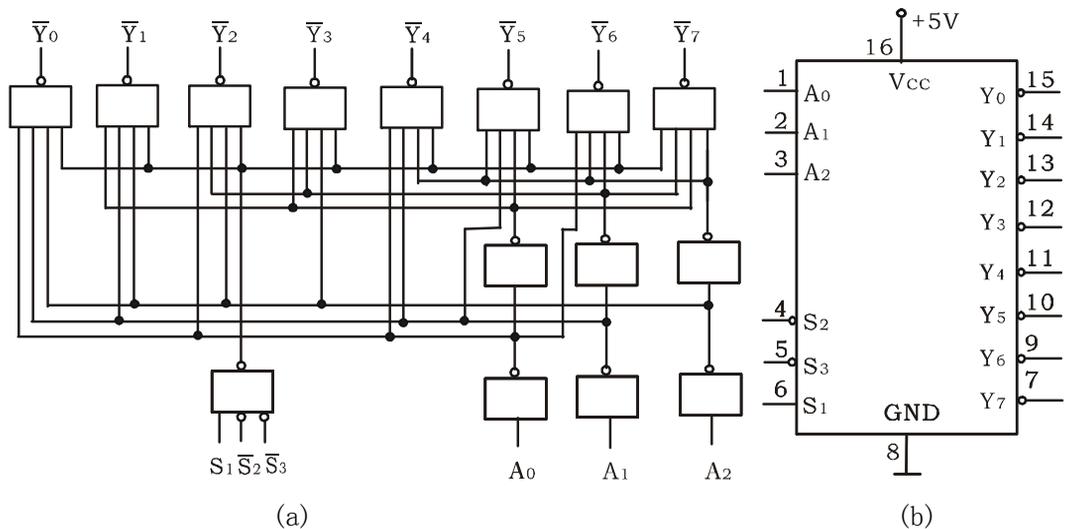


图 6-1 3-8 线译码器 74LS138 逻辑图及引脚排列

表 6-1

输 入					输 出							
S_1	$\bar{S}_2 + \bar{S}_3$	A_2	A_1	A_0	\bar{Y}_0	\bar{Y}_1	\bar{Y}_2	\bar{Y}_3	\bar{Y}_4	\bar{Y}_5	\bar{Y}_6	\bar{Y}_7
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0
0	×	×	×	×	1	1	1	1	1	1	1	1
×	1	×	×	×	1	1	1	1	1	1	1	1

二进制译码器实际上也是负脉冲输出的脉冲分配器。若利用使能端中的一个输入端输入数据信息，器件就成为一个数据分配器(又称多路分配器)，如

图 6-2 所示。若在 S_1 输入端输入数据信息， $\bar{S}_2 = \bar{S}_3 = 0$ ，地址码所对应的输出是 S_1 数据信息的反码；若从 \bar{S}_2 端输入数据信息，令 $S_1 = 1$ 、 $\bar{S}_3 = 0$ ，地址码所对应的输出就是 \bar{S}_2 端数据信息的原码。若数据信息是时钟脉冲，则数据分配器便成为时钟脉冲分配器。

根据输入地址的不同组合译出唯一地址，故可用作地址译码器。接成多路分配器，可将一个信号源的数据信息传输到不同的地点。

二进制译码器还能方便地实现逻辑函数，如图 6-3 所示，实现的逻辑函数是

$$Z = \bar{A}\bar{B}\bar{C} + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC$$

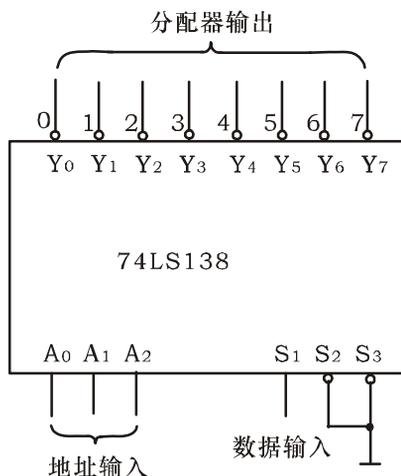


图 6-2 作数据分配器

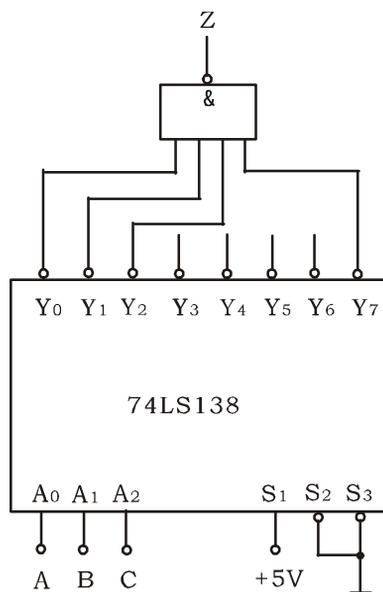


图 6-3 实现逻辑函数

利用使能端能方便地将两个 3/8 译码器组合成一个 4/16 译码器，如图 6-4 所示。

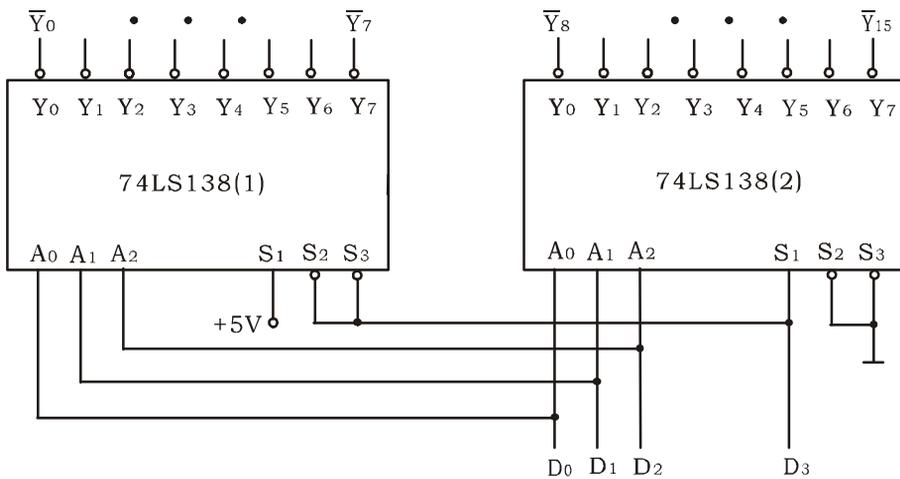


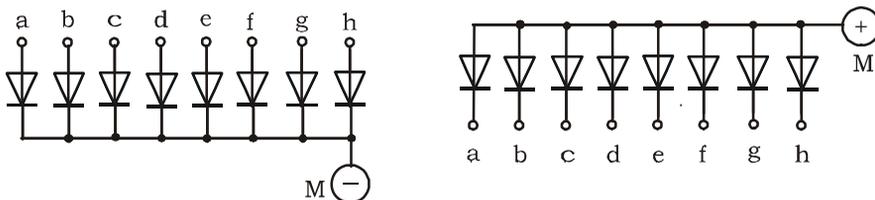
图 6-4 用两片 74LS138 组合成 4/16 译码器

2、数码显示译码器

a、七段发光二极管(LED)数码管

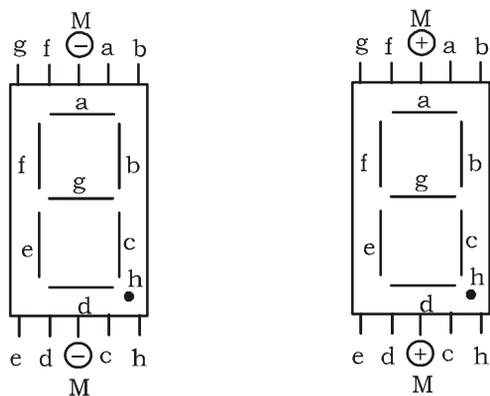
LED 数码管是目前最常用的数字显示器，图 6-5(a)、(b)为共阴管和共阳管的电路，(c)为两种不同出线形式的引出脚功能图。

一个 LED 数码管可用来显示一位 0~9 十进制数和一个小数点。小型数码管（0.5 寸和 0.36 寸）每段发光二极管的正向压降，随显示光（通常为红、绿、黄、橙色）的颜色不同略有差别，通常约为 2~2.5V，每个发光二极管的点亮电流在 5~10mA。LED 数码管要显示 BCD 码所表示的十进制数字就需要有一个专门的译码器，该译码器不但要完成译码功能，还要有相当的驱动能力。



(a) 共阴连接（“1”电平驱动）

(b) 共阳连接（“0”电平驱动）



(c) 符号及引脚功能

图 6-5 LED 数码管

b、BCD 码七段译码驱动器

此类译码器型号有 74LS47（共阳），74LS48（共阴），CC4511（共阴）等，本实验系采用 CC4511 BCD 码锁存 / 七段译码 / 驱动器。驱动共阴极 LED 数码管。

图 6-6 为 CC4511 引脚排列

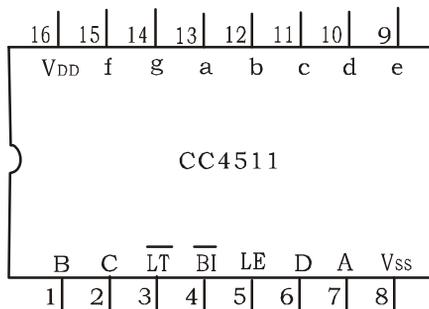


图 6-6 CC4511 引脚排列

其中

A、B、C、D — BCD 码输入端

a、b、c、d、e、f、g — 译码输出端，输出“1”有效，用来驱动共阴极 LED 数码管。

\overline{LT} — 测试输入端， $\overline{LT} = “0”$ 时，译码输出全为“1”

\overline{BI} — 消隐输入端， $\overline{BI} = “0”$ 时，译码输出全为“0”

LE — 锁定端，LE = “1” 时译码器处于锁定（保持）状态，译码输出保持在 LE = 0 时的数值，LE = 0 为正常译码。

表 6-2 为 CC4511 功能表。CC4511 内接有上拉电阻，故只需在输出端与数码管笔段之间串入限流电阻即可工作。译码器还有拒伪码功能，当输入码超过 1001 时，输出全为“0”，数码管熄灭。

表 6-2

输 入							输 出							
LE	\overline{BI}	\overline{LT}	D	C	B	A	a	b	c	d	e	f	g	显示字形
×	×	0	×	×	×	×	1	1	1	1	1	1	1	8
×	0	1	×	×	×	×	0	0	0	0	0	0	0	消隐
0	1	1	0	0	0	0	1	1	1	1	1	1	0	0
0	1	1	0	0	0	1	0	1	1	0	0	0	0	1
0	1	1	0	0	1	0	1	1	0	1	1	0	1	2
0	1	1	0	0	1	1	1	1	1	1	0	0	1	3
0	1	1	0	1	0	0	0	1	1	0	0	1	1	4
0	1	1	0	1	0	1	1	0	1	1	0	1	1	5
0	1	1	0	1	1	0	0	0	1	1	1	1	1	6
0	1	1	0	1	1	1	1	1	1	0	0	0	0	7
0	1	1	1	0	0	0	1	1	1	1	1	1	1	8
0	1	1	1	0	0	1	1	1	1	0	0	1	1	9
0	1	1	1	0	1	0	0	0	0	0	0	0	0	消隐
0	1	1	1	0	1	1	0	0	0	0	0	0	0	消隐
0	1	1	1	1	0	0	0	0	0	0	0	0	0	消隐
0	1	1	1	1	1	0	0	0	0	0	0	0	0	消隐
0	1	1	1	1	1	1	0	0	0	0	0	0	0	消隐
1	1	1	×	×	×	×	锁 存							锁存

在本数字电路实验装置上已完成了译码器 CC4511 和数码管 BS202 之间的连接。实验时，只要接通+5V 电源和将十进制数的 BCD 码接至译码器的相应输入端 A、B、C、D 即可显示 0~9 的数字。四位数码管可接受四组 BCD 码输入。CC4511 与 LED 数码管的连接如图 6-7 所示。

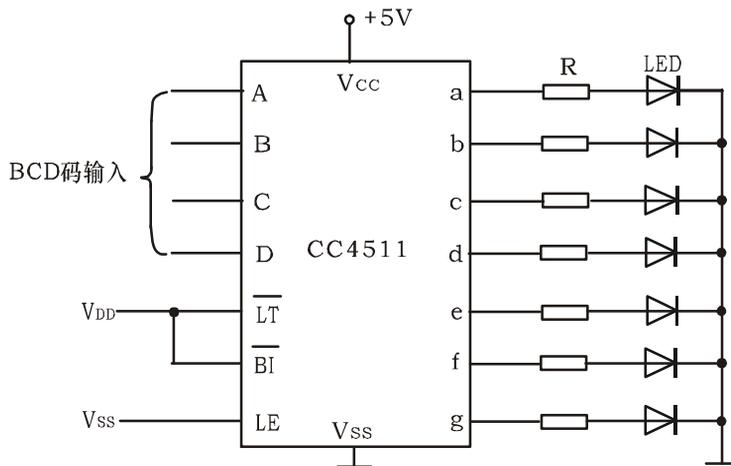


图 6-7 CC4511 驱动一位 LED 数码管

三、实验设备与器件

- | | |
|-------------|----------|
| 1、+5V 直流电源 | 2、双踪示波器 |
| 3、连续脉冲源 | 4、逻辑电平开关 |
| 5、逻辑电平显示器 | 6、拨码开关组 |
| 8、译码显示器 | |
| 9、74LS138×2 | CC4511 |

四、实验内容

- 1、数据拨码开关的使用。

将实验装置上的四组拨码开关的输出 A_i 、 B_i 、 C_i 、 D_i 分别接至 4 组显示译码 / 驱动器 CC4511 的对应输入口，LE、 \overline{BI} 、 \overline{LT} 接至三个逻辑开关的输出插口，接上+5V 显示器的电源，然后按功能表 6-2 输入的要求掀动四个数码

的增减键（“+”与“-”键）和操作与 \overline{LE} 、 \overline{BI} 、 \overline{LT} 对应的三个逻辑开关，观测拨码盘上的四位数与 LED 数码管显示的对应数字是否一致，及译码显示是否正常。

2、74LS138 译码器逻辑功能测试

将译码器使能端 S_1 、 $\overline{S_2}$ 、 $\overline{S_3}$ 及地址端 A_2 、 A_1 、 A_0 分别接至逻辑电平开关输出口，八个输出端 $\overline{Y_7} \dots \overline{Y_0}$ 依次连接在逻辑电平显示器的八个输入口上，拨动逻辑电平开关，按表 6—1 逐项测试 74LS138 的逻辑功能。

3、用 74LS138 构成时序脉冲分配器

参照图 6—2 和实验原理说明，时钟脉冲 CP 频率约为 10KHz，要求分配器输出端 $\overline{Y_0} \dots \overline{Y_7}$ 的信号与 CP 输入信号同相。

画出分配器的实验电路，用示波器观察和记录在地址端 A_2 、 A_1 、 A_0 分别取 000~111 8 种不同状态时 $\overline{Y_0} \dots \overline{Y_7}$ 端的输出波形，注意输出波形与 CP 输入波形之间的相位关系。

4、用两片 74LS138 组合成一个 4 线—16 线译码器，并进行实验。

五、实验预习要求

- 1、复习有关译码器和分配器的原理。
- 2、根据实验任务，画出所需的实验线路及记录表格。

六、实验报告

- 1、画出实验线路，把观察到的波形画在坐标纸上，并标上对应的地址码。
- 2、对实验结果进行分析、讨论。

实验七 数据选择器及其应用

一、实验目的

- 1、掌握中规模集成数据选择器的逻辑功能及使用方法
- 2、学习用数据选择器构成组合逻辑电路的方法

二、实验原理

数据选择器又叫“多路开关”。数据选择器在地址码（或叫选择控制）电平的控制下，从几个数据输入中选择一个并将其送到一个公共的输出端。数据选择器的功能类似一个多掷开关，如图 7-1 所示，图中有四路数据 $D_0 \sim D_3$ ，通过选择控制信号 A_1 、 A_0 （地址码）从四路数据中选中某一路数据送至输出端 Q 。

数据选择器为目前逻辑设计中应用十分广泛的逻辑部件，它有 2 选 1、4 选 1、8 选 1、16 选 1 等类别。

数据选择器的电路结构一般由与或门阵列组成，也有用传输门开关和门电路混合而成的。

1、八选一数据选择器 74LS151

74LS151 为互补输出的 8 选 1 数据选择器，引脚排列如图 7-2，功能如表 7-1。

选择控制端（地址端）为 $A_2 \sim A_0$ ，按二进制译码，从 8 个输入数据 $D_0 \sim D_7$ 中，选择一个需要的数据送到输出端 Q ， \bar{S} 为使能端，低电平有效。

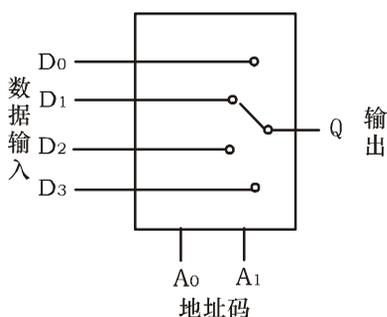


图 7-1 4 选 1 数据选择器示意图

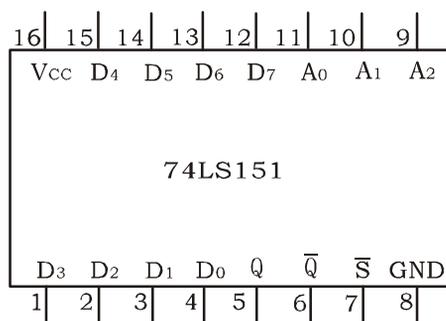


图 7-2 74LS151 引脚排列

表 7-1

输 入				输 出	
\bar{S}	A_2	A_1	A_0	Q	\bar{Q}
1	×	×	×	0	1
0	0	0	0	D_0	\bar{D}_0
0	0	0	1	D_1	\bar{D}_1
0	0	1	0	D_2	\bar{D}_2
0	0	1	1	D_3	\bar{D}_3
0	1	0	0	D_4	\bar{D}_4
0	1	0	1	D_5	\bar{D}_5
0	1	1	0	D_6	\bar{D}_6
0	1	1	1	D_7	\bar{D}_7

1) 使能端 $\bar{S}=1$ 时, 不论 $A_2\sim A_0$ 状态如何, 均无输出 ($Q=0, \bar{Q}=1$), 多路开关被禁止。

2) 使能端 $\bar{S}=0$ 时, 多路开关正常工作, 根据地址码 $A_2、A_1、A_0$ 的状态选择 $D_0\sim D_7$ 中某一个通道的数据输送到输出端Q。

如: $A_2A_1A_0=000$, 则选择 D_0 数据到输出端, 即 $Q=D_0$ 。

如: $A_2A_1A_0=001$, 则选择 D_1 数据到输出端, 即 $Q=D_1$, 其余类推。

2、双四选一数据选择器 74LS153

所谓双 4 选 1 数据选择器就是在一块集成芯片上有两个 4 选 1 数据选择器。引脚排列如图 7-3, 功能如表 7-2。

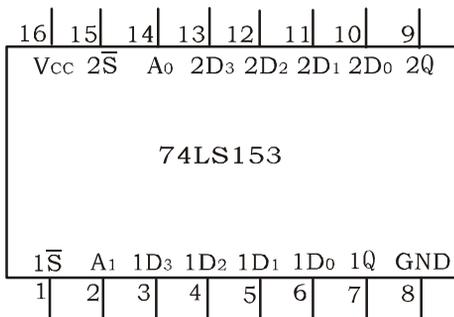


图 7-3 74LS153 引脚功能

表 7-2

输 入			输 出
\bar{S}	A_1	A_0	Q
1	×	×	0
0	0	0	D_0
0	0	1	D_1
0	1	0	D_2
0	1	1	D_3

$\overline{1S}$ 、 $\overline{2S}$ 为两个独立的使能端； A_1 、 A_0 为公用的地址输入端； $1D_0\sim 1D_3$ 和 $2D_0\sim 2D_3$ 分别为两个4选1数据选择器的数据输入端； Q_1 、 Q_2 为两个输出端。

1) 当使能端 $\overline{1S}$ ($\overline{2S}$) = 1时，多路开关被禁止，无输出， $Q=0$ 。

2) 当使能端 $\overline{1S}$ ($\overline{2S}$) = 0时，多路开关正常工作，根据地址码 A_1 、 A_0 的状态，将相应的数据 $D_0\sim D_3$ 送到输出端 Q 。

如： $A_1A_0=00$ 则选择 D_0 数据到输出端，即 $Q=D_0$ 。

$A_1A_0=01$ 则选择 D_1 数据到输出端，即 $Q=D_1$ ，其余类推。

数据选择器的用途很多，例如多通道传输，数码比较，并行码变串行码，以及实现逻辑函数等。

3、数据选择器的应用—实现逻辑函数

例 1：用 8 选 1 数据选择器 74LS151 实现函数

$$F = A\overline{B} + \overline{A}C + B\overline{C}$$

采用 8 选 1 数据选择器 74LS151 可实现任意三输入变量的组合逻辑函数。

作出函数 F 的功能表，如表 7-3 所示，将函数 F 功能表与 8 选 1 数据选择器的功能表相比较，可知 (1) 将输入变量 C 、 B 、 A 作为 8 选 1 数据选择器的地址码 A_2 、 A_1 、 A_0 。(2) 使 8 选 1 数据选择器的各数据输入 $D_0\sim D_7$ 分别与函数 F 的输出值一一相对应。

表 7-3

即： $A_2A_1A_0=CBA$ ，
 $D_0=D_7=0$
 $D_1=D_2=D_3=D_4=D_5=D_6=1$
 则 8 选 1 数据选择器的输出 Q 便实现了函数 $F = A\overline{B} + \overline{A}C + B\overline{C}$
 接线图如图 7-4 所示。

输 入			输 出
C	B	A	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

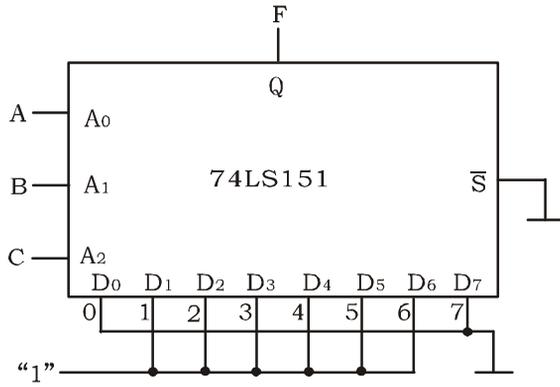


图 7-4 用 8 选 1 数据选择器实现 $F = \bar{A}\bar{B} + \bar{A}C + \bar{B}C$

显然，采用具有 n 个地址端的数据选择实现 n 变量的逻辑函数时，应将函数的输入变量加到数据选择器的地址端(A)，选择器的数据输入端(D)按次序以函数 F 输出值来赋值。

例 2：用 8 选 1 数据选择器 74LS151 实现函数 $F = \bar{A}\bar{B} + \bar{A}B$

(1) 列出函数 F 的功能表如表 7-4 所示。

(2) 将 A 、 B 加到地址端 A_1 、 A_0 ，而 A_2 接地，由表 7-4 可见，将 D_1 、 D_2 接“1”及 D_0 、 D_3 接地，其余数据输入端 $D_4 \sim D_7$ 都接地，则 8 选 1 数据选择器的输出 Q ，便实现了函数 $F = \bar{A}\bar{B} + \bar{A}B$

接线图如图 7-5 所示。

表 7-4

B	A	F
0	0	0
0	1	1
1	0	1
1	1	0

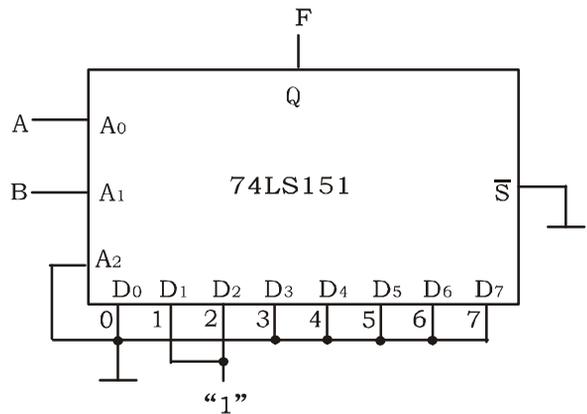


图 7-5 8 选 1 数据选择器实现 $F = \bar{A}\bar{B} + \bar{A}B$ 的接线图

显然，当函数输入变量数小于数据选择器的地址端（A）时，应将不用的地址端及不用的数据输入端（D）都接地。

例 3：用 4 选 1 数据选择器 74LS153 实现函数

$$F = \bar{A}BC + A\bar{B}C + AB\bar{C} + ABC$$

函数 F 的功能如表 7-5 所示

表 7-5

输入			输出
A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

表 7-6

输入			输出	中选数据端
A	B	C	F	
0	0	0	0	$D_0=0$
0	1	0	0	$D_1=C$
1	0	1	1	$D_2=C$
1	1	0	1	$D_3=1$

函数 F 有三个输入变量 A、B、C，而数据选择器有两个地址端 A_1 、 A_0 少于函数输入变量个数，在设计时可任选 A 接 A_1 ，B 接 A_0 。将函数功能表改画成 7-6 形式，可见当将输入变量 A、B、C 中 A、B 接选择器的地址端 A_1 、 A_0 ，由表 7-6 不难看出：

$$D_0=0, \quad D_1=D_2=C, \quad D_3=1$$

则 4 选 1 数据选择器的输出，便实现了函数 $F = \bar{A}BC + A\bar{B}C + AB\bar{C} + ABC$ 接线图如图 7-6 所示。

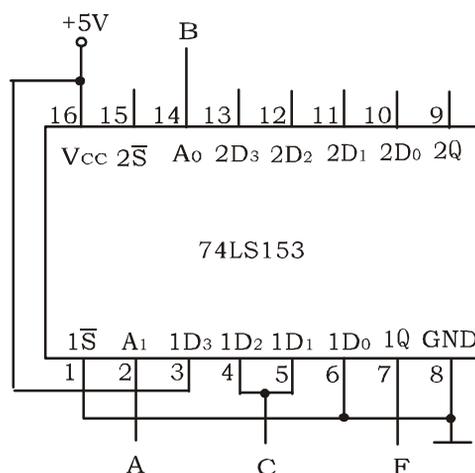


图 7-6 用 4 选 1 数据选择器实现 $F = \bar{A}BC + A\bar{B}C + AB\bar{C} + ABC$

当函数输入变量大于数据选择器地址端（A）时，可能随着选用函数输入变量作地址的方案不同，而使其设计结果不同，需对几种方案比较，以获得最佳方案。

三、实验设备与器件

- 1、+5V 直流电源
- 2、逻辑电平开关
- 3、逻辑电平显示器
- 4、74LS151（或 CC4512）
74LS153（或 CC4539）

四、实验内容

- 1、测试数据选择器 74LS151 的逻辑功能

接图 7—7 接线，地址端 A_2 、 A_1 、 A_0 、数据端 $D_0 \sim D_7$ 、使能端 \bar{S} 接逻辑开关，输出端 Q 接逻辑电平显示器，按 74LS151 功能表逐项进行测试，记录测试结果。

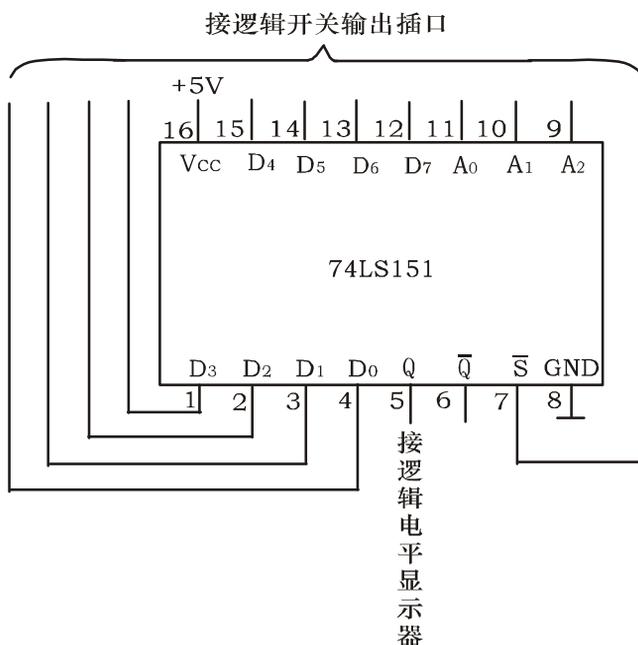


图 7—7 74LS151 逻辑功能测试

- 2、测试 74LS153 的逻辑功能

测试方法及步骤同上，记录之。

3、用 8 选 1 数据选择器 74LS151 设计三输入多数表决电路

1) 写出设计过程

2) 画出接线图

3) 验证逻辑功能

4、用 8 选 1 数据选择器实现逻辑函数

1) 写出设计过程

2) 画出接线图

3) 验证逻辑功能

5、用双 4 选 1 数据选择器 74LS153 实现全加器

1) 写出设计过程

2) 画出接线图

3) 验证逻辑功能

五、预习内容

1、复习数据选择器的工作原理；

2、用数据选择器对实验内容中各函数式进行预设计；

六、实验报告

用数据选择器对实验内容进行设计、写出设计全过程、画出接线图、进行逻辑功能测试；总结实验收获、体会。

实验八 触发器及其应用

一、实验目的

- 1、掌握基本RS、JK、D和T触发器的逻辑功能
- 2、掌握集成触发器的逻辑功能及使用方法
- 3、熟悉触发器之间相互转换的方法

二、实验原理

触发器具有两个稳定状态，用以表示逻辑状态“1”和“0”，在一定的外界信号作用下，可以从一个稳定状态翻转到另一个稳定状态，它是一个具有记忆功能的二进制信息存贮器件，是构成各种时序电路的最基本逻辑单元。

1、基本RS触发器

图8-1为由两个与非门交叉耦合构成的基本RS触发器，它是无时钟控制低电平直接触发的触发器。基本RS触发器具有置“0”、置“1”和“保持”三种功能。通常称 \bar{S} 为置“1”端，因为 $\bar{S}=0$ ($\bar{R}=1$)时触发器被置“1”； \bar{R} 为置“0”端，因为 $\bar{R}=0$ ($\bar{S}=1$)时触发器被置“0”，当 $\bar{S}=\bar{R}=1$ 时状态保持； $\bar{S}=\bar{R}=0$ 时，触发器状态不定，应避免此种情况发生，表9-1为基本RS触发器的功能表。

基本RS触发器。也可以用两个“或非门”组成，此时为高电平触发有效。

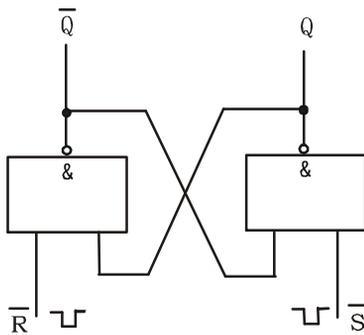


图 8-1 基本RS触发器

表8-1

输 入		输 出	
\bar{S}	\bar{R}	Q^{n+1}	\bar{Q}^{n+1}
0	1	1	0
1	0	0	1
1	1	Q^n	\bar{Q}^n
0	0	Φ	Φ

2、JK触发器

在输入信号为双端的情况下，JK触发器是功能完善、使用灵活和通用性较强的一种触发器。本实验采用74LS112双JK触发器，是下降边沿触发的边沿触发器。引脚功能及逻辑符号如图8-2所示。

JK触发器的状态方程为

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

J和K是数据输入端，是触发器状态更新的依据，若J、K有两个或两个以上输入端时，组成“与”的关系。Q与 \bar{Q} 为两个互补输出端。通常把Q=0、 \bar{Q} =1的状态定为触发器“0”状态；而把Q=1， \bar{Q} =0定为“1”状态。

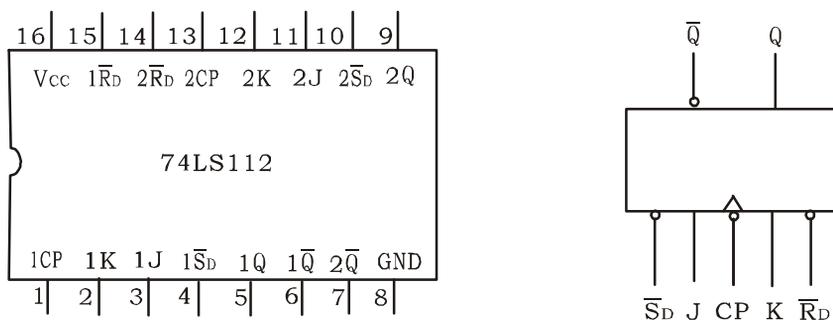


图8-2 74LS112双JK触发器引脚排列及逻辑符号

下降沿触发JK触发器的功能如表8-2

表8-2

输 入					输 出	
\bar{S}_D	\bar{R}_D	CP	J	K	Q^{n+1}	\bar{Q}^{n+1}
0	1	×	×	×	1	0
1	0	×	×	×	0	1
0	0	×	×	×	Φ	Φ
1	1	↓	0	0	Q^n	\bar{Q}^n
1	1	↓	1	0	1	0
1	1	↓	0	1	0	1
1	1	↓	1	1	\bar{Q}^n	Q^n
1	1	↑	×	×	Q^n	\bar{Q}^n

注：×— 任意态 ↓— 高到低电平跳变 ↑— 低到高电平跳变

Q^n (\bar{Q}^n) — 现态 Q^{n+1} (\bar{Q}^{n+1}) — 次态 Φ — 不定态

JK触发器常被用作缓冲存储器，移位寄存器和计数器。

3、D触发器

在输入信号为单端的情况下，D触发器用起来最为方便，其状态方程为 $Q^{n+1} = D^n$ ，其输出状态的更新发生在CP脉冲的上升沿，故又称为上升沿触发的边沿触发器，触发器的状态只取决于时钟到来前D端的状态，D触发器的应用很广，可用作数字信号的寄存，移位寄存，分频和波形发生等。有很多种型号可供各种用途的需要而选用。如双D 74LS74、四D 74LS175、六D 74LS174等。

图8-3 为双D 74LS74的引脚排列及逻辑符号。功能如表8-3。

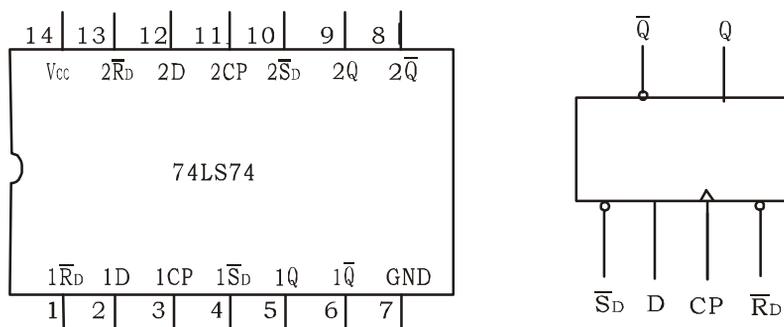


图8-3 74LS74引脚排列及逻辑符号

表8-3

输 入				输 出	
\bar{S}_D	\bar{R}_D	CP	D	Q^{n+1}	\bar{Q}^{n+1}
0	1	×	×	1	0
1	0	×	×	0	1
0	0	×	×	Φ	Φ
1	1	↑	1	1	0
1	1	↑	0	0	1
1	1	↓	×	Q^n	\bar{Q}^n

表8-4

输 入				输 出
\bar{S}_D	\bar{R}_D	CP	T	Q^{n+1}
0	1	×	×	1
1	0	×	×	0
1	1	↓	0	Q^n
1	1	↓	1	\bar{Q}^n

4、触发器之间的相互转换

在集成触发器的产品中，每一种触发器都有自己固定的逻辑功能。但可以利用转换的方法获得具有其它功能的触发器。例如将JK触发器的J、k两端连在一起，并认它为T端，就得到所需的T触发器。如图8-4(a)所示，其状态方程为： $Q^{n+1} = T\bar{Q}^n + \bar{T}Q^n$

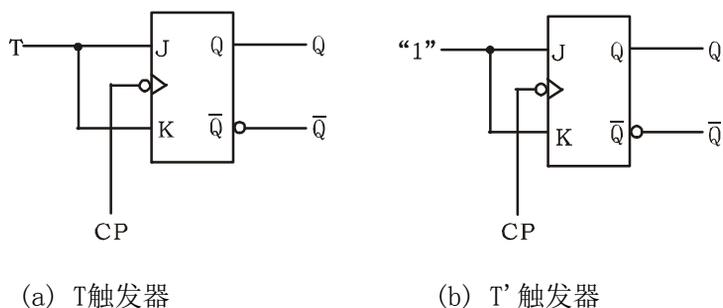


图8-4 JK触发器转换为T、T' 触发器

T触发器的功能如表8-4。

由功能表可见，当T=0时，时钟脉冲作用后，其状态保持不变；当T=1时，时钟脉冲作用后，触发器状态翻转。所以，若将T触发器的T端置“1”，如图8-4(b)所示，即得T' 触发器。在T' 触发器的CP端每来一个CP脉冲信号，触发器的状态就翻转一次，故称之为反转触发器，广泛用于计数电路中。

同样，若将D触发器 \bar{Q} 端与D端相连，便转换成T' 触发器。如图8-5所示。JK触发器也可转换为D触发器，如图8-6。

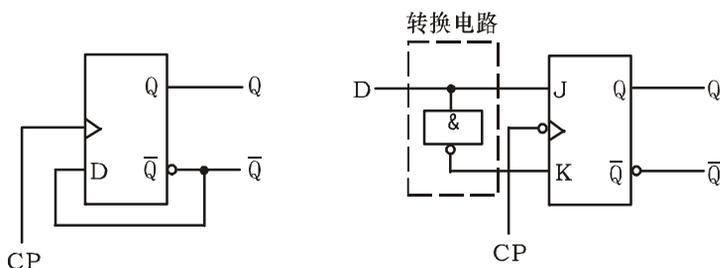


图8-5 D转成T'

图8-6 JK转成D

5、CMOS触发器

(1) CMOS边沿型D触发器

CC4013是由CMOS传输门构成的边沿型D触发器。它是上升沿触发的双D触发器，表8-5为其功能表，图8-7为引脚排列。

表8-5

输 入				输 出
S	R	CP	D	Q^{n+1}
1	0	×	×	1
0	1	×	×	0
1	1	×	×	Φ
0	0	↑	1	1
0	0	↑	0	0
0	0	↓	×	Q^n

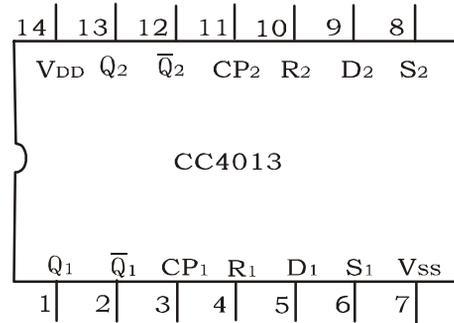


图8-7 双上升沿D触发器

(2) CMOS边沿型JK触发器

CC4027是由CMOS传输门构成的边沿型JK触发器，它是上升沿触发的双JK触发器，表8-6为其功能表，图8-8为引脚排列。

表8-6

输 入					输 出
S	R	CP	J	K	Q^{n+1}
1	0	×	×	×	1
0	1	×	×	×	0
1	1	×	×	×	Φ
0	0	↑	0	0	Q^n
0	0	↑	1	0	1
0	0	↑	0	1	0
0	0	↑	1	1	\bar{Q}^n
0	0	↓	×	×	Q^n

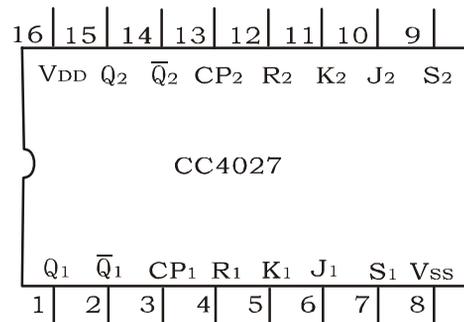


图8-8 双上升沿J-K触发器

CMOS触发器的直接置位、复位输入端S和R是高电平有效，当S=1（或R=1）时，触发器将不受其它输入端所处状态的影响，使触发器直接置1（或置0）。但直接置位、复位输入端S和R必须遵守RS=0的约束条件。CMOS触发器在按逻辑功能工作时，S和R必须均置0。

三、实验设备与器件

- | | |
|--------------------|-----------|
| 1、+5V直流电源 | 2、双踪示波器 |
| 3、连续脉冲源 | 4、单次脉冲源 |
| 5、逻辑电平开关 | 6、逻辑电平显示器 |
| 7、74LS112（或CC4027） | |
| 74LS00（或CC4011） | |
| 74LS74（或CC4013） | |

四、实验内容

1、测试基本RS触发器的逻辑功能

按图8-1，用两个与非门组成基本RS触发器，输入端 \bar{R} 、 \bar{S} 接逻辑开关的输出插口，输出端Q、 \bar{Q} 接逻辑电平显示输入插口，按表8-7要求测试，记录之。

表8-7

\bar{R}	\bar{S}	Q	\bar{Q}
1	1→0		
	0→1		
1→0	1		
0→1			
0	0		

2、测试双JK触发器74LS112逻辑功能

(1) 测试 \bar{R}_0 、 \bar{S}_0 的复位、置位功能

任取一只JK触发器， \bar{R}_D 、 \bar{S}_D 、J、K端接逻辑开关输出插口，CP端接单次脉冲源，Q、 \bar{Q} 端接至逻辑电平显示输入插口。要求改变 \bar{R}_D ， \bar{S}_D （J、K、CP处于任意状态），并在 $\bar{R}_D=0$ （ $\bar{S}_D=1$ ）或 $\bar{S}_D=0$ （ $\bar{R}_D=1$ ）作用期间任意改变J、K及CP的状态，观察Q、 \bar{Q} 状态。自拟表格并记录之。

(2) 测试JK触发器的逻辑功能

按表8-8的要求改变J、K、CP端状态，观察Q、 \bar{Q} 状态变化，观察触发器状态更新是否发生在CP脉冲的下降沿（即CP由1→0），记录之。

(3) 将JK触发器的J、K端连在一起，构成T触发器。

在CP端输入1HZ连续脉冲，观察Q端的变化。

在CP端输入1KHZ连续脉冲，用双踪示波器观察CP、Q、 \bar{Q} 端波形，注意相位关系，描绘之。

表8-8

J	K	CP	Q^{n+1}	
			$Q^n=0$	$Q^n=1$
0	0	0→1		
		1→0		
0	1	0→1		
		1→0		
1	0	0→1		
		1→0		
1	1	0→1		
		1→0		

3、测试双D触发器74LS74的逻辑功能

(1) 测试 \bar{R}_D 、 \bar{S}_D 的复位、置位功能

测试方法同实验内容2、1)，自拟表格记录。

(2) 测试D触发器的逻辑功能

按表8-9要求进行测试，并观察触发器状态更新是否发生在CP脉冲的上升沿（即由0→1），记录之。

表8-9

D	CP	Q^{n+1}	
		$Q^n=0$	$Q^n=1$
0	0→1		
	1→0		
1	0→1		
	1→0		

(3) 将D触发器的 \bar{Q} 端与D端相连接，构成T'触发器。

测试方法同实验内容2、3），记录之。

4、双相时钟脉冲电路

用JK触发器及与非门构成的双相时钟脉冲电路如图8-9所示，此电路是用来将时钟脉冲CP转换成两相时钟脉冲 CP_A 及 CP_B ，其频率相同、相位不同。

分析电路工作原理，并按图8-9接线，用双踪示波器同时观察CP、 CP_A ；CP、 CP_B 及 CP_A 、 CP_B 波形，并描绘之。

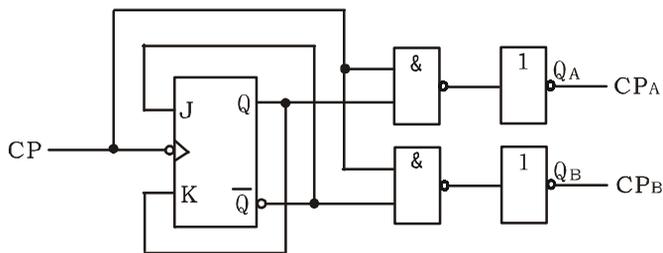


图8-9 双相时钟脉冲电路

5、乒乓球练习电路

电路功能要求：模拟二名运动员在练球时，乒乓球能往返运转。

提示：采用双D触发器74LS74设计实验线路，两个CP端触发脉冲分别由两名运动员操作，两触发器的输出状态用逻辑电平显示器显示。

五、实验预习要求

- 1、复习有关触发器内容
- 2、列出各触发器功能测试表格
- 3、按实验内容4、5的要求设计线路，拟定实验方案。

六、实验报告

- 1、列表整理各类触发器的逻辑功能。
- 2、总结观察到的波形，说明触发器的触发方式。
- 3、体会触发器的应用。
- 4、利用普通的机械开关组成的数据开关所产生的信号是否可作为触发器的时钟脉冲信号？为什么？是否可以用作触发器的其它输入端的信号？又是为什么？

实验九 计数器及其应用

一、实验目的

- 1、学习用集成触发器构成计数器的方法
- 2、掌握中规模集成计数器的使用及功能测试方法
- 3、运用集成计数构成1/N分频器

二、实验原理

计数器是一个用以实现计数功能的时序部件，它不仅可用来计脉冲数，还常用作数字系统的定时、分频和执行数字运算以及其它特定的逻辑功能。

计数器种类很多。按构成计数器中的各触发器是否使用一个时钟脉冲源来分，有同步计数器和异步计数器。根据计数制的不同，分为二进制计数器，十进制计数器和任意进制计数器。根据计数的增减趋势，又分为加法、减法和可逆计数器。还有可预置数和可编程序功能计数器等等。目前，无论是TTL还是CMOS集成电路，都有品种较齐全的中规模集成计数器。使用者只要借助于器件手册提供的功能表和工作波形图以及引出端的排列，就能正确地运用这些器件。

1、用D触发器构成异步二进制加 / 减计数器

图9-1是用四只D触发器构成的四位二进制异步加法计数器，它的连接特点是将每只D触发器接成T'触发器，再由低位触发器的 \bar{Q} 端和高一位的CP端相连接。

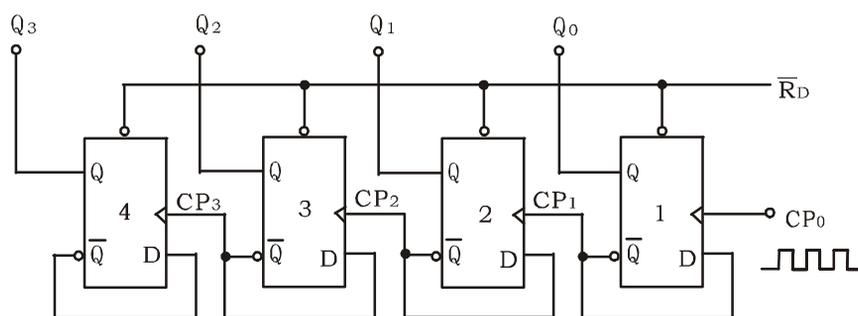


图9-1 四位二进制异步加法计数器

若将图9-1稍加改动，即将低位触发器的Q端与高一位的CP端相连接，即构成了一个4位二进制减法计数器。

2、中规模十进制计数器

CC40192是同步十进制可逆计数器，具有双时钟输入，并具有清除和置数等功能，其引脚排列及逻辑符号如图9-2所示。

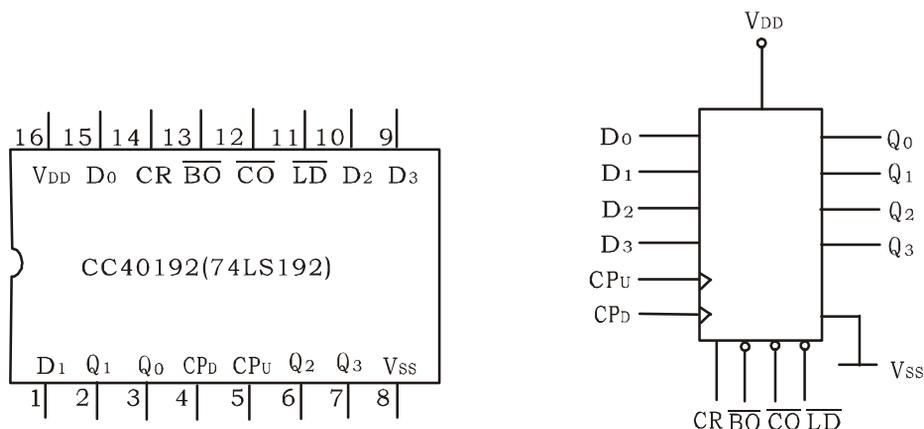


图9-2 CC40192引脚排列及逻辑符号

图中 \overline{LD} —置数端 CP_U —加计数端 CP_D —减计数端

\overline{CO} —非同步进位输出端 \overline{BO} —非同步借位输出端

D_0 、 D_1 、 D_2 、 D_3 —计数器输入端

Q_0 、 Q_1 、 Q_2 、 Q_3 —数据输出端 CR —清除端

CC40192（同74LS192，二者可互换使用）的功能如表9-1，说明如下：

表9-1

输 入								输 出			
CR	\overline{LD}	CP_U	CP_D	D_3	D_2	D_1	D_0	Q_3	Q_2	Q_1	Q_0
1	×	×	×	×	×	×	×	0	0	0	0
0	0	×	×	d	c	b	a	d	c	b	a
0	1	↑	1	×	×	×	×	加 计 数			
0	1	1	↑	×	×	×	×	减 计 数			

当清除端CR为高电平“1”时，计数器直接清零；CR置低电平则执行其它功能。

当CR为低电平，置数端 \overline{LD} 也为低电平时，数据直接从置数端 D_0 、 D_1 、 D_2 、 D_3 置入计数器。

当CR为低电平， \overline{LD} 为高电平时，执行计数功能。执行加计数时，减计数端 CP_D 接高电平，计数脉冲由 CP_U 输入；在计数脉冲上升沿进行8421码十进制加法计数。执行减计数时，加计数端 CP_U 接高电平，计数脉冲由减计数端 CP_D 输入，表9-2为8421码十进制加、减计数器的状态转换表。

表9-2

输入脉冲数		0	1	2	3	4	5	6	7	8	9
输出	Q_3	0	0	0	0	0	0	0	0	1	1
	Q_2	0	0	0	0	1	1	1	1	0	0
	Q_1	0	0	1	1	0	0	1	1	0	0
	Q_0	0	1	0	1	0	1	0	1	0	1

← 减计数

3、计数器的级联使用

一个十进制计数器只能表示0~9十个数，为了扩大计数器范围，常用多个十进制计数器级联使用。

同步计数器往往设有进位（或借位）输出端，故可选用其进位（或借位）输出信号驱动下一级计数器。

图9-3是由CC40192利用进位输出 \overline{CO} 控制高一位的 CP_U 端构成的加数级联图。

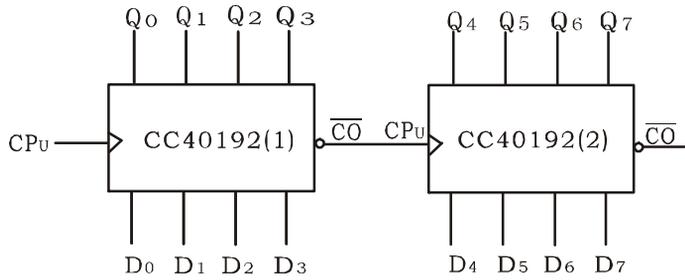


图9-3 CC40192级联电路

4、实现任意进制计数

(1) 用复位法获得任意进制计数器

假定已有N进制计数器，而需要得到一个M进制计数器时，只要 $M < N$ ，用复位法使计数器计数到M时置“0”，即获得M进制计数器。如图9-4所示为一个由CC40192十进制计数器接成的6进制计数器。

(2) 利用预置功能获M进制计数器

图9-5为用三个CC40192组成的421进制计数器。

外加的由与非门构成的锁存器可以克服器件计数速度的离散性，保证在反馈置“0”信号作用下计数器可靠置“0”。

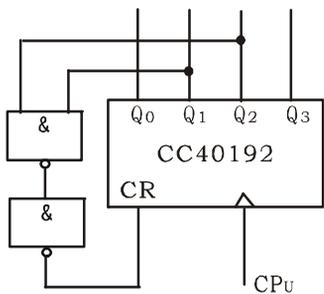


图9-4 六进制计数器

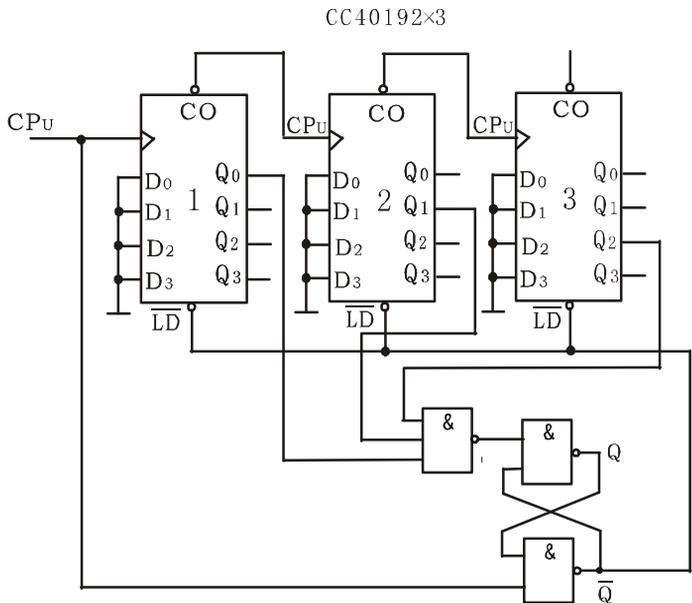


图9-5 421进制计数器

图9—6是一个特殊12进制的计数器电路方案。在数字钟里，对时位的计数序列是1、2、…11，12、1、…是12进制的，且无0数。如图所示，当计数到13时，通过与非门产生一个复位信号，使CC40192(2)（时十位）直接置成0000，而CC40192(1)，即时的个位直接置成0001，从而实现了1—12计数。

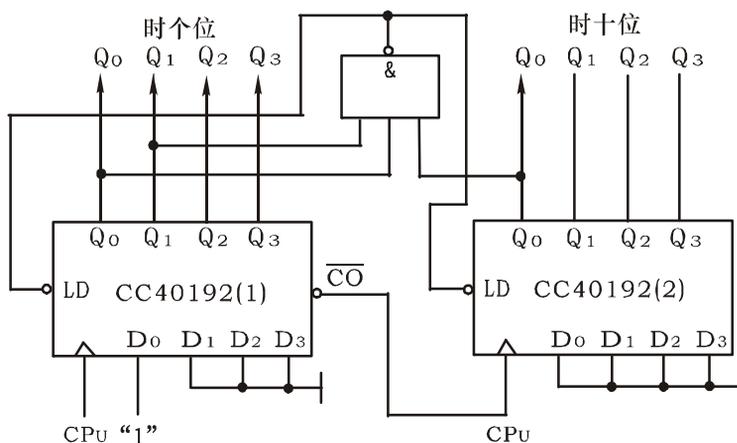


图9—6 特殊12进制计数器

三、实验设备与器件

- | | |
|----------------------|------------|
| 1、 +5V直流电源 | 2、 双踪示波器 |
| 3、 连续脉冲源 | 4、 单次脉冲源 |
| 5、 逻辑电平开关 | 6、 逻辑电平显示器 |
| 7、 译码显示器 | |
| 8、 CC4013×2 (74LS74) | |
| CC40192×3 (74LS192) | |
| CC4011 (74LS00) | |
| CC4012 (74LS20) | |

四、实验内容

- 用CC4013或74LS74 D触发器构成4位二进制异步加法计数器。
 - 按图9—1接线， \bar{R}_0 接至逻辑开关输出插口，将低位 CP_0 端接单次脉冲源，输出端 Q_3 、 Q_2 、 Q_1 、 Q_0 接逻辑电平显示输入插口，各 \bar{S}_0 接高电平“1”。

(2) 清零后，逐个送入单次脉冲，观察并列表记录 $Q_3 \sim Q_0$ 状态。

(3) 将单次脉冲改为1HZ的连续脉冲，观察 $Q_3 \sim Q_0$ 的状态。

(4) 将1Hz的连续脉冲改为1KHz，用双踪示波器观察CP、 Q_3 、 Q_2 、 Q_1 、 Q_0 端波形，描绘之。

5) 将图9—1电路中的低位触发器的Q端与高一位的CP端相连接，构成减法计数器，按实验内容2)，3)，4)进行实验，观察并列表记录 $Q_3 \sim Q_0$ 的状态。

2、测试CC40192或74LS192同步十进制可逆计数器的逻辑功能

计数脉冲由单次脉冲源提供，清除端CR、置数端 \overline{LD} 、数据输入端 D_3 、 D_2 、 D_1 、 D_0 分别接逻辑开关，输出端 Q_3 、 Q_2 、 Q_1 、 Q_0 接实验设备的一个译码显示输入相应插口A、B、C、D； \overline{CO} 和 \overline{BO} 接逻辑电平显示插口。按表9—1逐项测试并判断该集成块的功能是否正常。

(1) 清除

令CR=1，其它输入为任意态，这时 $Q_3Q_2Q_1Q_0=0000$ ，译码数字显示为0。清除功能完成后，置CR=0

(2) 置数

CR=0， CP_U ， CP_D 任意，数据输入端输入任意一组二进制数，令 $\overline{LD} = 0$ ，观察计数译码显示输出，予置功能是否完成，此后置 $\overline{LD} = 1$ 。

(3) 加计数

CR=0， $\overline{LD} = CP_D = 1$ ， CP_U 接单次脉冲源。清零后送入10个单次脉冲，观察译码数字显示是否按8421码十进制状态转换表进行；输出状态变化是否发生在 CP_U 的上升沿。

(4) 减计数

CR=0， $\overline{LD} = CP_U = 1$ ， CP_D 接单次脉冲源。参照3)进行实验。

3、图9—3所示，用两片CC40192组成两位十进制加法计数器，输入1Hz连续计数脉冲，进行由00—99累加计数，记录之。

4、将两位十进制加法计数器改为两位十进制减法计数器，实现由99—00递减计数，记录之。

5、按图9—4电路进行实验，记录之。

6、按图9—5，或图9—6进行实验，记录之。

7、设计一个数字钟移位60进制计数器并进行实验。

五、实验预习要求

1、复习有关计数器部分内容

2、绘出各实验内容的详细线路图

3、拟出各实验内容所需的测试记录表格

4、查手册，给出并熟悉实验所用各集成块的引脚排列图

六、实验报告

1、画出实验线路图，记录、整理实验现象及实验所得的有关波形。对实验结果进行分析。

2、总结使用集成计数器的体会。

实验十 移位寄存器及其应用

一、实验目的

- 1、掌握中规模4位双向移位寄存器逻辑功能及使用方法。
- 2、熟悉移位寄存器的应用 — 实现数据的串行、并行转换和构成环形计数器。

二、实验原理

1、移位寄存器是一个具有移位功能的寄存器，是指寄存器中所存的代码能够在移位脉冲的作用下依次左移或右移。既能左移又能右移的称为双向移位寄存器，只需要改变左、右移的控制信号便可实现双向移位要求。根据移位寄存器存取信息的方式不同分为：串入串出、串入并出、并入串出、并入并出四种形式。

本实验选用的4位双向通用移位寄存器，型号为CC40194或74LS194，两者功能相同，可互换使用，其逻辑符号及引脚排列如图10—1所示。

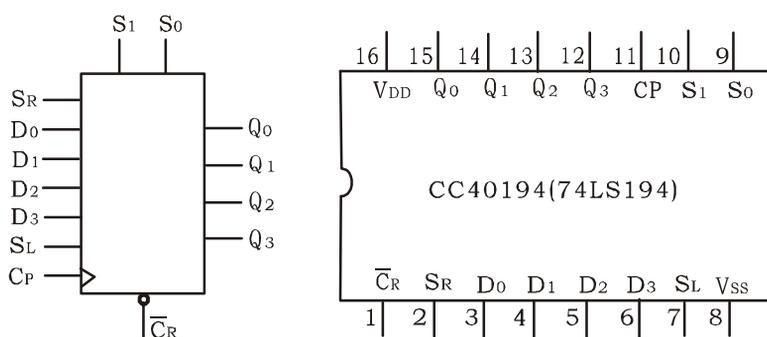


图10—1 CC40194的逻辑符号及引脚功能

其中 D_0 、 D_1 、 D_2 、 D_3 为并行输入端； Q_0 、 Q_1 、 Q_2 、 Q_3 为并行输出端； S_R 为右移串行输入端， S_L 为左移串行输入端； S_1 、 S_0 为操作模式控制端； $\bar{C}R$ 为直接无条件清零端；CP为时钟脉冲输入端。

CC40194有5种不同操作模式：即并行送数寄存，右移（方向由 $Q_0 \rightarrow Q_3$ ），左移（方向由 $Q_3 \rightarrow Q_0$ ），保持及清零。

S_1 、 S_0 和 \bar{C}_R 端的控制作用如表10-1。

表10-1

功能	输 入						输 出							
	CP	\bar{C}_R	S_1	S_0	S_R	S_L	D_0	D_1	D_2	D_3	Q_0	Q_1	Q_2	Q_3
清除	×	0	×	×	×	×	×	×	×	×	0	0	0	0
送数	↑	1	1	1	×	×	a	b	c	d	a	b	c	d
右移	↑	1	0	1	D_{SR}	×	×	×	×	×	D_{SR}	Q_0	Q_1	Q_2
左移	↑	1	1	0	×	D_{SL}	×	×	×	×	Q_1	Q_2	Q_3	D_{SL}
保持	↑	1	0	0	×	×	×	×	×	×	Q_0^n	Q_1^n	Q_2^n	Q_3^n
保持	↓	1	×	×	×	×	×	×	×	×	Q_0^n	Q_1^n	Q_2^n	Q_3^n

2、移位寄存器应用很广，可构成移位寄存器型计数器；顺序脉冲发生器；串行累加器；可用作数据转换，即把串行数据转换为并行数据，或把并行数据转换为串行数据等。本实验研究移位寄存器用作环形计数器和数据的串、并行转换。

(1) 环形计数器

把移位寄存器的输出反馈到它的串行输入端，就可以进行循环移位，如图10-2所示，把输出端 Q_3 和右移串行输入端 S_R 相连接，设初始状态 $Q_0Q_1Q_2Q_3=1000$ ，则在时钟脉冲作用下 $Q_0Q_1Q_2Q_3$ 将依次变为 $0100 \rightarrow 0010 \rightarrow 0001 \rightarrow 1000 \rightarrow \dots$ ，如表10-2所示，可见它是一个具有四个有效状态的计数器，这种类型的计数器通常称为环形计数器。图10-2 电路可以由各个输出端输出在时间上有先后顺序的脉冲，因此也可作为顺序脉冲发生器。

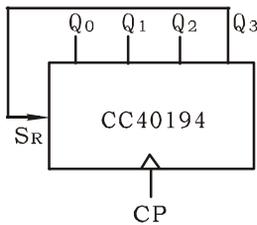


图 10-2 环形计数器

表10-2

CP	Q_0	Q_1	Q_2	Q_3
0	1	0	0	0
1	0	1	0	0
2	0	0	1	0
3	0	0	0	1

如果将输出 Q_0 与左移串行输入端 S_L 相连接，即可达左移循环移位。

(2) 实现数据串、并行转换

① 串行/并行转换器

串行/并行转换是指串行输入的数码，经转换电路之后变换成并行输出。

图10-3是用二片CC40194（74LS194）四位双向移位寄存器组成的七位串/并行数据转换电路。

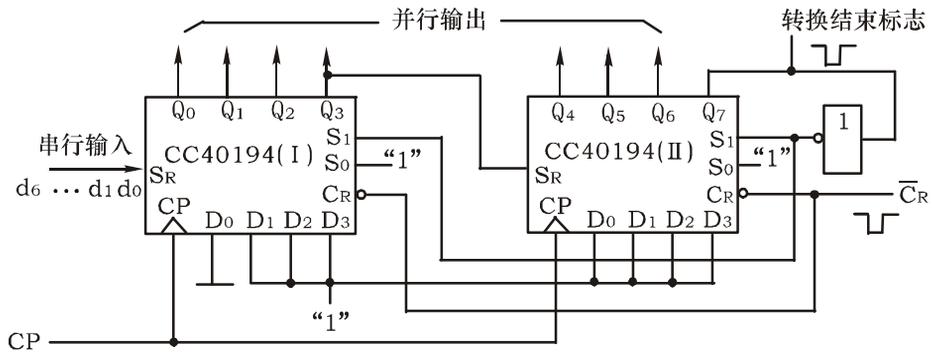


图10-3 七位串行 / 并行转换器

电路中 S_0 端接高电平1， S_1 受 Q_7 控制，二片寄存器连接成串行输入右移工作方式。 Q_7 是转换结束标志。当 $Q_7=1$ 时， S_1 为0，使之成为 $S_1S_0=01$ 的串入右移工作方式，当 $Q_7=0$ 时， $S_1=1$ ，有 $S_1S_0=10$ ，则串行送数结束，标志着串行输入的数据已转换成并行输出了。

串行/并行转换的具体过程如下：

转换前， \bar{C}_R 端加低电平，使1、2两片寄存器的内容清0，此时 $S_1S_0=11$ ，寄存器执行并行输入工作方式。当第一个CP脉冲到来后，寄存器的输出状态 $Q_0\sim Q_7$ 为01111111，与此同时 S_1S_0 变为01，转换电路变为执行串入右移工作方式，串行输入数据由1片的 S_R 端加入。随着CP脉冲的依次加入，输出状态的变化可列成表10-3所示。

表10-3

CP	Q ₀	Q ₁	Q ₂	Q ₃	Q ₄	Q ₅	Q ₆	Q ₇	说明
0	0	0	0	0	0	0	0	0	清零
1	0	1	1	1	1	1	1	1	送数
2	d ₀	0	1	1	1	1	1	1	右移操作七次
3	d ₁	d ₀	0	1	1	1	1	1	
4	d ₂	d ₁	d ₀	0	1	1	1	1	
5	d ₃	d ₂	d ₁	d ₀	0	1	1	1	
6	d ₄	d ₃	d ₂	d ₁	d ₀	0	1	1	
7	d ₅	d ₄	d ₃	d ₂	d ₁	d ₀	0	1	
8	d ₆	d ₅	d ₄	d ₃	d ₂	d ₁	d ₀	0	
9	0	1	1	1	1	1	1	1	送数

由表10-3可见，右移操作七次之后，Q₇变为0，S₁S₀又变为11，说明串行输入结束。这时，串行输入的数码已经转换成了并行输出了。

当再来一个CP脉冲时，电路又重新执行一次并行输入，为第二组串行数码转换作好了准备。

② 并行/串行转换器

并行/串行转换器是指并行输入的数码经转换电路之后，换成串行输出。

图10-4是用两片CC40194（74LS194）组成的七位并行/串行转换电路，它比图10-3多了两只与非门G₁和G₂，电路工作方式同样为右移。

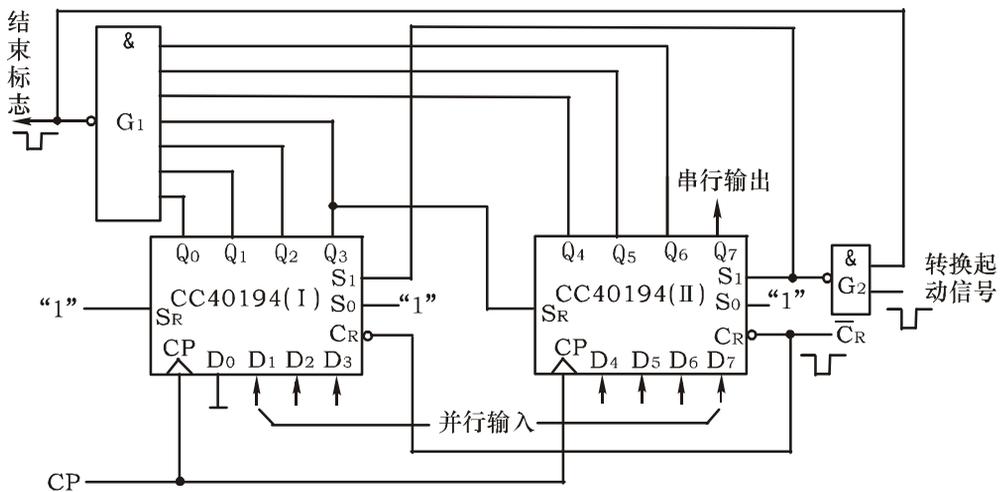


图10-4 七位并行 / 串行转换器

寄存器清“0”后，加一个转换起动信号（负脉冲或低电平）。此时，由于方式控制 S_1S_0 为11，转换电路执行并行输入操作。当第一个CP脉冲到来后， $Q_0Q_1Q_2Q_3Q_4Q_5Q_6Q_7$ 的状态为 $0D_1D_2D_3D_4D_5D_6D_7$ ，并行输入数码存入寄存器。从而使得 G_1 输出为1， G_2 输出为0，结果， S_1S_2 变为01，转换电路随着CP脉冲的加入，开始执行右移串行输出，随着CP脉冲的依次加入，输出状态依次右移，待右移操作七次后， $Q_0\sim Q_6$ 的状态都为高电平1，与非门 G_1 输出为低电平， G_2 门输出为高电平， S_1S_2 又变为11，表示并/串行转换结束，且为第二次并行输入创造了条件。转换过程如表10-4所示。

表10-4

CP	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	串 行 输 出						
0	0	0	0	0	0	0	0	0							
1	0	D_1	D_2	D_3	D_4	D_5	D_6	D_7							
2	1	0	D_1	D_2	D_3	D_4	D_5	D_6	D_7						
3	1	1	0	D_1	D_2	D_3	D_4	D_5	D_6	D_7					
4	1	1	1	0	D_1	D_2	D_3	D_4	D_5	D_6	D_7				
5	1	1	1	1	0	D_1	D_2	D_3	D_4	D_5	D_6	D_7			
6	1	1	1	1	1	0	D_1	D_2	D_3	D_4	D_5	D_6	D_7		
7	1	1	1	1	1	1	0	D_1	D_2	D_3	D_4	D_5	D_6	D_7	
8	1	1	1	1	1	1	1	0	D_1	D_2	D_3	D_4	D_5	D_6	D_7
9	0	D_1	D_2	D_3	D_4	D_5	D_6	D_7							

中规模集成移位寄存器，其位数往往以4位居多，当需要的位数多于4位时，可把几片移位寄存器用级连的方法来扩展位数。

三、实验设备及器件

- | | |
|------------------------|----------------------------------|
| 1、 +5V直流电源 | 2、 单次脉冲源 |
| 3、 逻辑电平开关 | 4、 逻辑电平显示器 |
| 5、 CC40194×2 (74LS194) | CC4011(74LS00) CC4068(74LS30) |

四、实验内容

1、测试CC40194（或74LS194）的逻辑功能

按图10-5接线， \bar{C}_R 、 S_1 、 S_0 、 S_L 、 S_R 、 D_0 、 D_1 、 D_2 、 D_3 分别接至逻辑开关的输出插口； Q_0 、 Q_1 、 Q_2 、 Q_3 接至逻辑电平显示输入插口。CP端接单次脉冲源。按表10-5所规定的输入状态，逐项进行测试。

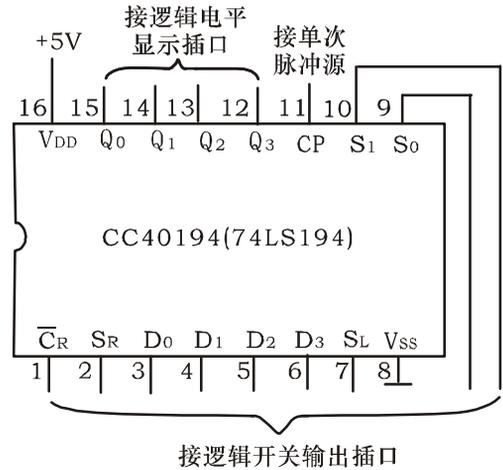


图10-5 CC40194逻辑功能测试

(1) 清除：令 $\bar{C}_R = 0$ ，其它输入均为任意态，这时寄存器输出 Q_0 、 Q_1 、 Q_2 、 Q_3 应均为0。清除后，置 $\bar{C}_R = 1$ 。

(2) 送数：令 $\bar{C}_R = S_1 = S_0 = 1$ ，送入任意4位二进制数，如 $D_0D_1D_2D_3 = abcd$ ，加CP脉冲，观察CP=0、CP由0→1、CP由1→0三种情况下寄存器输出状态的变化，观察寄存器输出状态变化是否发生在CP脉冲的上升沿。

(2) 右移：清零后，令 $\bar{C}_R = 1$ ， $S_1 = 0$ ， $S_0 = 1$ ，由右移输入端 S_R 送入二进制数码如0100，由CP端连续加4个脉冲，观察输出情况，记录之。

(4) 左移：先清零或予置，再令 $\bar{C}_R = 1$ ， $S_1 = 1$ ， $S_0 = 0$ ，由左移输入端 S_L 送入二进制数码如1111，连续加四个CP脉冲，观察输出端情况，记录之。

(5) 保持：寄存器予置任意4位二进制数码abcd，令 $\bar{C}_R = 1$ ， $S_1 = S_0 = 0$ ，加CP脉冲，观察寄存器输出状态，记录之。

2、环形计数器

自拟实验线路用并行送数法予置寄存器为某二进制数码（如0100），然后进行右移循环，观察寄存器输出端状态的变化，记入表10-6中。

表10-5

清除 C _R	模 式		时钟 CP	串 行		输 入				输 出				功能总结
	S ₁	S ₀		S _L	S _R	D ₀	D ₁	D ₂	D ₃	Q ₀	Q ₁	Q ₂	Q ₃	
0	×	×	×	×	×	×	×	×	×					
1	1	1	↑	×	×	a	b	c	d					
1	0	1	↑	×	0	×	×	×	×					
1	0	1	↑	×	1	×	×	×	×					
1	0	1	↑	×	0	×	×	×	×					
1	0	1	↑	×	0	×	×	×	×					
1	1	0	↑	1	×	×	×	×	×					
1	1	0	↑	1	×	×	×	×	×					
1	1	0	↑	1	×	×	×	×	×					
1	0	0	↑	×	×	×	×	×	×					

表10-6

CP	Q ₀	Q ₁	Q ₂	Q ₃
0	0	1	0	0
1				
2				
3				
4				

3、实现数据的串、并行转换

(1) 串行输入、并行输出

按图10-3接线，进行右移串入、并出实验，串入数码自定；改接线路用左移方式实现并行输出。自拟表格，记录之。

(2) 并行输入、串行输出

按图10-4接线，进行右移并入、串出实验，并入数码自定。再改接线路用左移方式实现串行输出。自拟表格，记录之。

五、实验预习要求

1、复习有关寄存器及串行、并行转换器有关内容。

2、查阅CC40194、CC4011及CC4068 逻辑线路。熟悉其逻辑功能及引脚排列。

3、在对CC40194进行送数后，若要使输出端改成另外的数码，是否一定要使寄存器清零？

4、使寄存器清零，除采用 \bar{C}_R 输入低电平外，可否采用右移或左移的方法？可否使用并行送数法？若可行，如何进行操作？

5、若进行循环左移，图10—4接线应如何改接？

6、画出用两片CC40194构成的七位左移串 / 并行转换器线路。

7、画出用两片CC40194构成的七位左移并 / 串行转换器线路。

六、实验报告

1、分析表10—4的实验结果，总结移位寄存器CC40194的逻辑功能并写入表格功能总结一栏中。

1、根据实验内容2 的结果，画出4位环形计数器的状态转换图及波形图。

2、分析串 / 并、并 / 串转换器所得结果的正确性。

实验十一 脉冲分配器及其应用

一、实验目的

- 1、熟悉集成时序脉冲分配器的使用方法及其应用
- 2、学习步进电动机的环形脉冲分配器的组成方法

二、实验原理

1、脉冲分配器的作用是产生多路顺序脉冲信号，它可以由计数器和译码器组成，也可以由环形计数器构成，图11-1中CP端上的系列脉冲经N位二进制计数器和相应的译码器，可以转变为 2^N 路顺序输出脉冲。

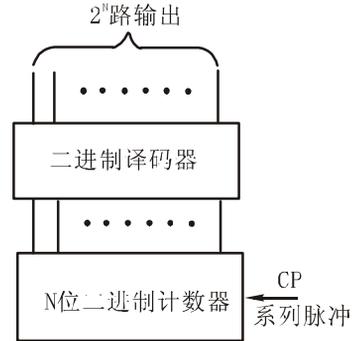


图11-1 脉冲分配器的组成

2、集成时序脉冲分配器CC4017

CC4017是按BCD计数 / 时序译码器组成的分配器。

其逻辑符号及引脚功能如图11-2所示。功能如表11-1

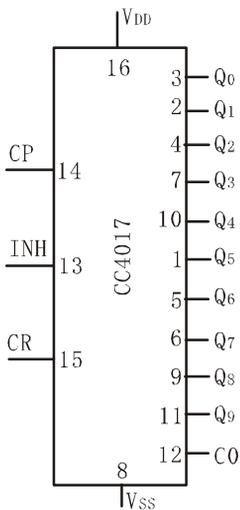


图11-2 CC4017的逻辑符号

表11-1

输 入			输 出	
CP	INH	CR	$Q_0 \sim Q_9$	CO
×	×	1	Q_0	计数脉冲为 $Q_0 \sim Q_4$ 时: CO=1
↑	0	0	计 数	
1	↓	0	保 持	计数脉冲为 $Q_5 \sim Q_9$ 时: CO=0
0	×	0		
×	1	0		
↓	×	0		
×	↑	0		

CO — 进位脉冲输出端

CP — 时钟输入端

CR — 清除端

INH — 禁止端

$Q_0 \sim Q_9$ — 计数脉冲输出端

CC4017的输出波形如图11-3。

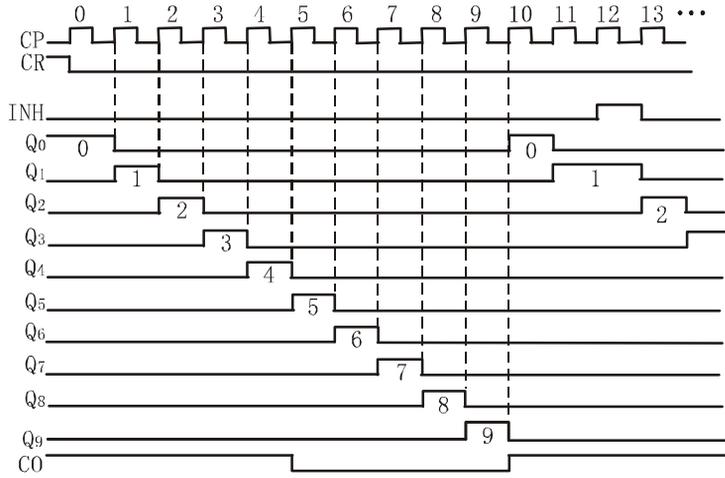


图11-3 CC4017的波形图

CC4017应用十分广泛，可用于十进制计数，分频， $1/N$ 计数 ($N=2\sim 10$ 只需用一块, $N>10$ 可用多块器件级连)。图11-4所示为由两片CC4017组成的60分频的电路。

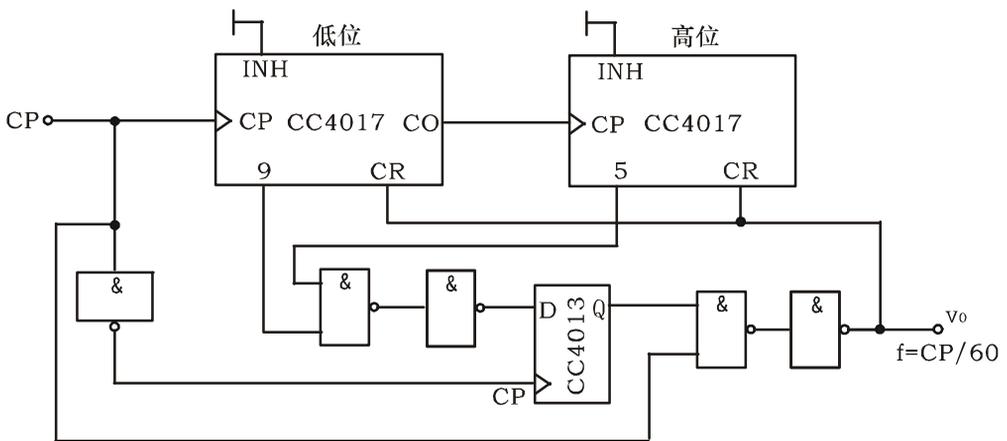


图11-4 60分频电路

3、步进电动机的环形脉冲分配器

图11-5所示为某一三相步进电动机的驱动电路示意图。

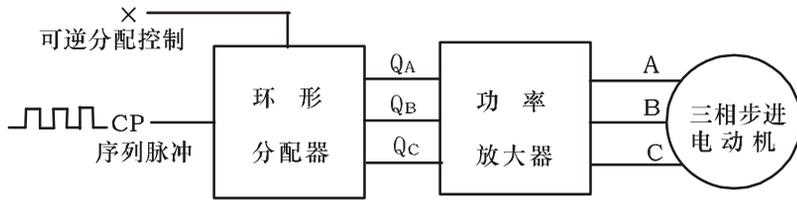


图11-5 三相步进电动机的驱动电路示意图

A、B、C分别表示步进电机的三相绕组。步进电机按三相六拍方式运行，即要求步进电机正转时，控制端 $X=1$ ，使电机三相绕组的通电顺序为

$$A \rightarrow AB \rightarrow B \rightarrow BC \rightarrow C \rightarrow CA$$

要求步进电机反转时，令控制端 $X=0$ ，三相绕组的通电顺序改为

$$A \rightarrow AC \rightarrow C \rightarrow BC \rightarrow B \rightarrow AB$$

图11-6所示为由三个JK触发器构成的按六拍通电方式的脉冲环形分配器，供参考。

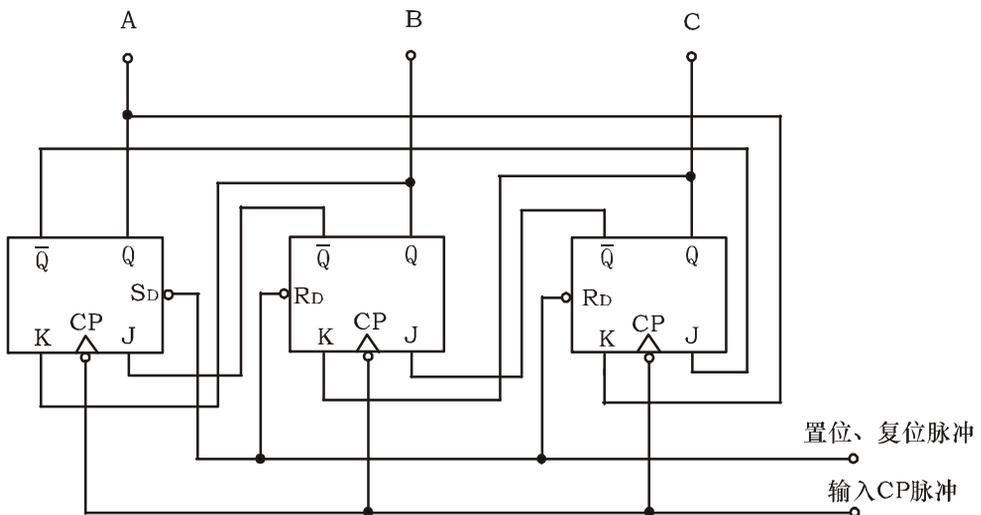


图11-6 六拍通电方式的脉冲环形分配器逻辑图

要使步进电机反转，通常应加有正转脉冲输入控制和反转脉冲输入控制端。

此外，由于步进电机三相绕组任何时刻都不得出现A、B、C三相同步同时通电或同时断电的情况，所以，脉冲分配器的三路输出不允许出现111和000两种状态，为此，可以给电路加初态予置环节。

三、实验设备与器件

- | | | | | |
|-------------|------------|----------|----------|----------|
| 1、 +5V直流电源 | 2、 双踪示波器 | | | |
| 3、 连续脉冲源 | 4、 单次脉冲源 | | | |
| 4、 逻辑电平开关 | 6、 逻辑电平显示器 | | | |
| 7、 CC4017×2 | CC4013×2 | CC4027×2 | CC4011×2 | CC4085×2 |

四、实验内容

1、CC4017逻辑功能测试

(1) 参照图11-2(a)，EN、CR接逻辑开关的输出插口。CP接单次脉冲源，0~9十个输出端接至逻辑电平显示输入插口，按功能表要求操作各逻辑开关。清零后，连续送出10个脉冲信号，观察十个发光二极管的显示状态，并列表记录。

(2) CP改接为1Hz连续脉冲，观察记录输出状态。

2、按图11-4线路接线，自拟实验方案验证60分频电路的正确性。

3、参照图11-6的线路，设计一个用环形分配器构成的驱动三相步进电动机可逆运行的三相六拍环形分配器线路。要求：

(1) 环形分配器用CC4013双D触发器，CC4085与或非门组成。

(2) 由于电动机三相绕组在任何时刻都不应出现同时通电同时断电情况，在设计中要做到这一点。

(3) 电路安装好后，先用手控送入CP脉冲进行调试，然后加入系列脉冲进行动态实验。

(4) 整理数据、分析实验中出现的問題，作出实验报告。

五、实验预习要求

- 1、复习有关脉冲分配器的原理
- 2、按实验任务要求，设计实验线路，并拟定实验方案及步骤。

六、实验报告

- 1、画出完整的实验线路
- 2、总结分析实验结果

实验十二 使用门电路产生脉冲信号

—自激多谐振荡器—

一、实验目的

- 1、掌握使用门电路构成脉冲信号产生电路的基本方法
- 2、掌握影响输出脉冲波形参数的定时元件数值的计算方法
- 3、学习石英晶体稳频原理和使用石英晶体构成振荡器的方法

二、实验原理

与非门作为一个开关倒相器件，可用以构成各种脉冲波形的产生电路。电路的基本工作原理是利用电容器的充放电，当输入电压达到与非门的阈值电压 V_T 时，门的输出状态即发生变化。因此，电路输出的脉冲波形参数直接取决于电路中阻容元件的数值。

4、非对称型多谐振荡器

如图 12-1 所示，非门 3 用于输出波形整形。

非对称型多谐振荡器的输出波形是不对称的，当用 TTL 与非门组成时，输出脉冲宽度

$$t_{w1} = RC \quad t_{w2} = 1.2RC \quad T = 2.2RC$$

调节 R 和 C 值，可改变输出信号的振荡频率，通常用改变 C 实现输出频率的粗调，改变电位器 R 实现输出频率的细调。

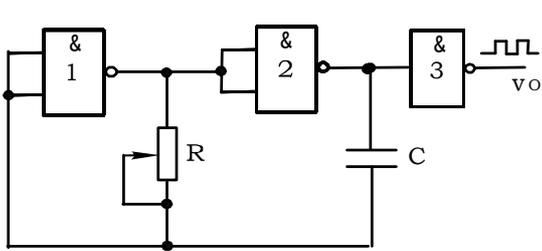


图 12-1 非对称型振荡器

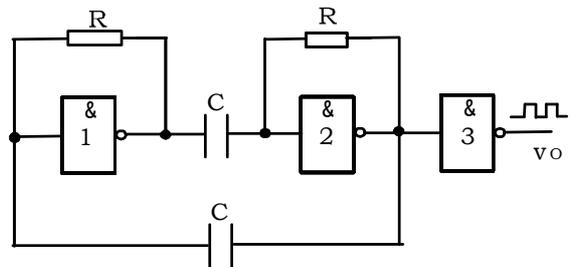


图 12-2 对称型振荡器

2、对称型多谐振荡器

如图 12-2 所示，由于电路完全对称，电容器的充放电时间常数相同，故输出为对称的方波。改变 R 和 C 的值，可以改变输出振荡频率。非门 3 用于输出波形整形。

一般取 $R \leq 1K \Omega$ ，当 $R = 1K \Omega$ ， $C = 100pf \sim 100\mu f$ 时， $f = nHz \sim nMHz$ ，脉冲宽度 $t_{w1} = t_{w2} = 0.7RC$ ， $T = 1.4RC$

3、带 RC 电路的环形振荡器

电路如图 12-3 所示，非门 4 用于输出波形整形，R 为限流电阻，一般取 100Ω ，电位器 R_w 要求 $\leq 1K \Omega$ ，电路利用电容 C 的充放电过程，控制 D 点电压 V_D ，从而控制与非门的自动启闭，形成多谐振荡，电容 C 的充电时间 t_{w1} 、放电时间 t_{w2} 和总的振荡周期 T 分别为

$$t_{w1} \approx 0.94RC, \quad t_{w2} \approx 1.26RC, \quad T \approx 2.2RC$$

调节 R 和 C 的大小可改变电路输出的振荡频率。

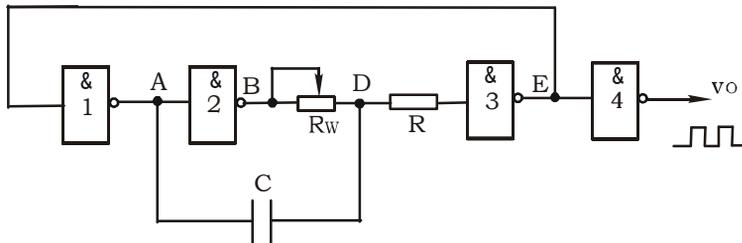


图 12-3 带有 RC 电路的环形振荡器

以上这些电路的状态转换都发生在与非门输入电平达到门的阈值电平 V_T 的时刻。在 V_T 附近电容器的充放电速度已经缓慢，而且 V_T 本身也不够稳定，易受温度、电源电压变化等因素以及干扰的影响。因此，电路输出频率的稳定性较差。

4、石英晶体稳频的多谐振荡器

当要求多谐振荡器的工作频率稳定性很高时，上述几种多谐振荡器的精度已不能满足要求。为此常用石英晶体作为信号频率的基准。用石英晶体与门电路构成的多谐振荡器常用来为微型计算机等提供时钟信号。

图 12-4 所示为常用的晶体稳频多谐振荡器。(a)、(b) 为 TTL 器件组成的晶体振荡电路；(c)、(d) 为 CMOS 器件组成的晶体振荡电路，一般用于电子表中，其中晶体的 $f_0=32768\text{Hz}$ 。

图 12-4 (c) 中，门 1 用于振荡，门 2 用于缓冲整形。 R_f 是反馈电阻，通常在几十兆欧之间选取，一般选 $22\text{M}\Omega$ 。 R 起稳定振荡作用，通常取十至几百千欧。 C_1 是频率微调电容器， C_2 用于温度特性校正。

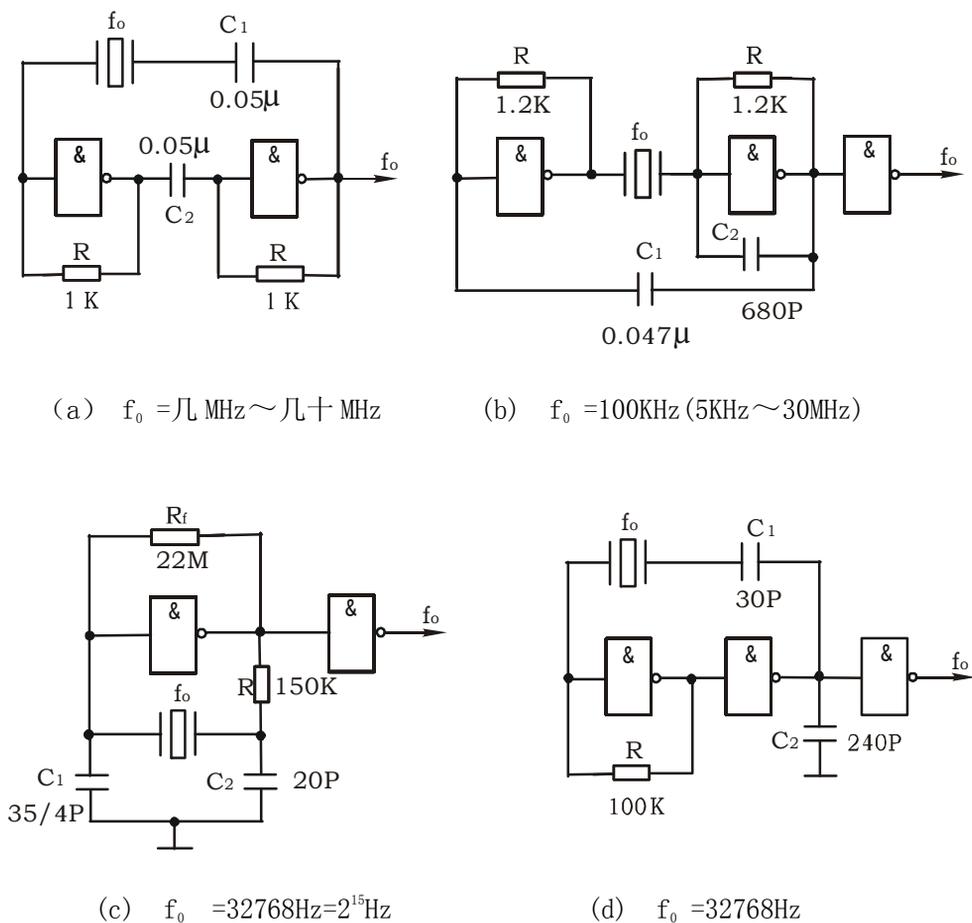


图 12-4 常用的晶体振荡电路

二、 实验设备与器件

- 1、+5V 直流电源
- 2、双踪示波器
- 3、数字频率计
- 4、74LS00 (或 CC4011) 晶振 32768Hz 电位器、电阻、电容若干。

四、实验内容

1、用与非门 74LS00 按图 12-1 构成多谐振荡器，其中 R 为 $10\text{K}\Omega$ 电位器，C 为 $0.01\mu\text{f}$ 。

(1) 用示波器观察输出波形及电容 C 两端的电压波形，列表记录之。

(2) 调节电位器观察输出波形的变化，测出上、下限频率。

(3) 用一只 $100\mu\text{f}$ 电容器跨接在 74LS00 14 脚与 7 脚的最近处，观察输出波形的变化及电源上纹波信号的变化，记录之。

2、用 74LS00 按图 12-2 接线，取 $R=1\text{K}\Omega$ ， $C=0.047\mu\text{f}$ ，用示波器观察输出波形，记录之。

3、用 74LS00 按图 12-3 接线，其中定时电阻 R_w 用一个 510Ω 与一个 $1\text{K}\Omega$ 的电位器串联，取 $R=100\Omega$ ， $C=0.1\mu\text{f}$ 。

(1) R_w 调到最大时，观察并记录 A、B、D、E 及 v_0 各点电压的波形，测出 v_0 的周期 T 和负脉冲宽度（电容 C 的充电时间）并与理论计算值比较。

(2) 改变 R_w 值，观察输出信号 v_0 波形的变化情况。

4、按图 12-4 (c) 接线，晶振选用电子表晶振 32768Hz ，与非门选用 CC4011，用示波器观察输出波形，用频率计测量输出信号频率，记录之。

五、实验预习要求

1、复习自激多谐振荡器的工作原理

2、画出实验用的详细实验线路图

3、拟好记录、实验数据表格等。

六、实验报告

1、画出实验电路，整理实验数据与理论值进行比较

2、用方格纸画出实验观测到的工作波形图，对实验结果进行分析。

实验十三 单稳态触发器与施密特触发器

—脉冲延时与波形整形电路—

一、实验目的

- 1、掌握使用集成门电路构成单稳态触发器的基本方法
- 2、熟悉集成单稳态触发器的逻辑功能及其使用方法
- 3、熟悉集成施密特触发器的性能及其应用

二、实验原理

在数字电路中常使用矩形脉冲作为信号，进行信息传递，或作为时钟信号用来控制和驱动电路，使各部分协调动作。实验十三是自激多谐振荡器，它是不需要外加信号触发的矩形波发生器。另一类是他激多谐振荡器，有单稳态触发器，它需要在外加触发信号的作用下输出具有一定宽度的矩形脉冲波；有施密特触发器（整形电路），它对外加输入的正弦波等波形进行整形，使电路输出矩形脉冲波。

1、用与非门组成单稳态触发器

利用与非门作开关，依靠定时元件 RC 电路的充放电来控制与非门的启闭。单稳态电路有微分型与积分型两大类，这两类触发器对触发脉冲的极性与宽度有不同的要求。

(1) 微分型单稳态触发器

如图 13-1 所示

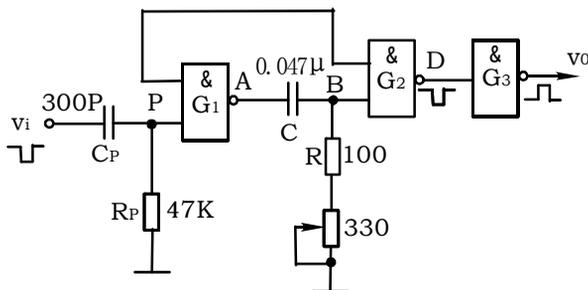


图 13-1 微分型单稳态触发器

该电路为负脉冲触发。其中 R_p 、 C_p 构成输入端微分隔直电路。 R 、 C 构成微分型定时电路，定时元件 R 、 C 的取值不同，输出脉宽 t_w 也不同。 $t_w \approx (0.7 \sim 1.3) RC$ 。与非门 G_3 ，起整形、倒相作用。

图 13-2 为微分型单稳态触发器各点波形图，结合波形图说明其工作原理。

① 无外介触发脉冲时电路初始稳态 $t < t_1$ 前状态

稳态时 v_i 为高电平。适当选择电阻 R 阻值，使与非门 G_2 输入电压 V_B 小于门的关门电平 ($V_B < V_{off}$)，则门 G_2 关闭，输出 V_D 为高电平。适当选择电阻 R_p 阻值，使与非门 G_1 的输入电压 V_P 大于门的开门电平 ($V_P > V_{on}$)，于是 G_1 的两个输入端全为高电平，则 G_1 开启，输出 V_A 为低电平（为方便计，取 $V_{off} = V_{on} = V_T$ ）。

② 触发翻转 $t = t_1$ 时刻

v_i 负跳变， v_p 也负跳变，门 G_1 输出 V_A 升高，经电容 C 耦合， V_B 也升高，门 G_2 输出 v_D 降低，正反馈到 G_1 输入端，结果使 G_1 输出 v_A 由低电平迅速上跳至高电平， G_1 迅速关闭； v_B 也上跳至高电平， G_2 输出 v_D 则迅速下跳至低电平， G_2 迅速开通。

③ 暂稳状态 $t_1 < t < t_2$

$t \geq t_1$ 以后， G_1 输出高电平，对电容 C 充电， v_B 随之按指数规律下降，但只要 $v_B > V_T$ ， G_1 关、 G_2 开的状态将维持不变， v_A 、 v_D 也维持不变。

④ 自动翻转 $t = t_2$

$t = t_2$ 时刻， v_B 下降至门的关门平 V_T ， G_2 输出 V_D 升高， G_1 输出 V_A ，正反馈作用使电路迅速翻转至 G_1 开启， G_2 关闭初始稳态。

暂稳态时间的长短，决定于电容 C 充电时间常数 $t = RC$ 。

⑤ 恢复过程 $t_2 < t < t_3$

电路自动翻转到 G_1 开启， G_2 关闭后， v_B 不是立即回到初始稳态值，这是因为电容 C 要有一个放电过程。

$t > t_3$ 以后，如 V_i 再出现负跳变，则电路将重复上述过程。

如果输入脉冲宽度较小时，则输入端可省去 $R_p C_p$ 微分电路了。

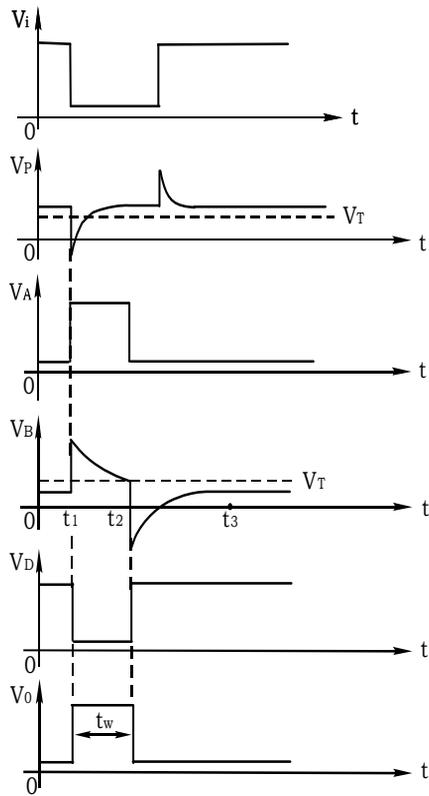


图 13-2 微分型单稳态触发器波形图

(2) 积分型单稳态触发器

如图 13-3 所示

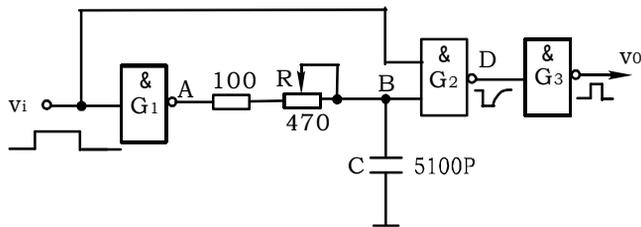


图 13-3 积分型单稳态触发器

电路采用正脉冲触发，工作波形如图 13-4 所示。电路的稳定条件是 $R \leq 1K\Omega$ ，输出脉冲宽度 $t_w \approx 1.1RC$ 。

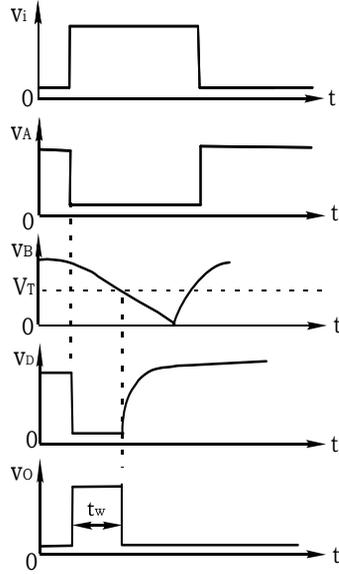


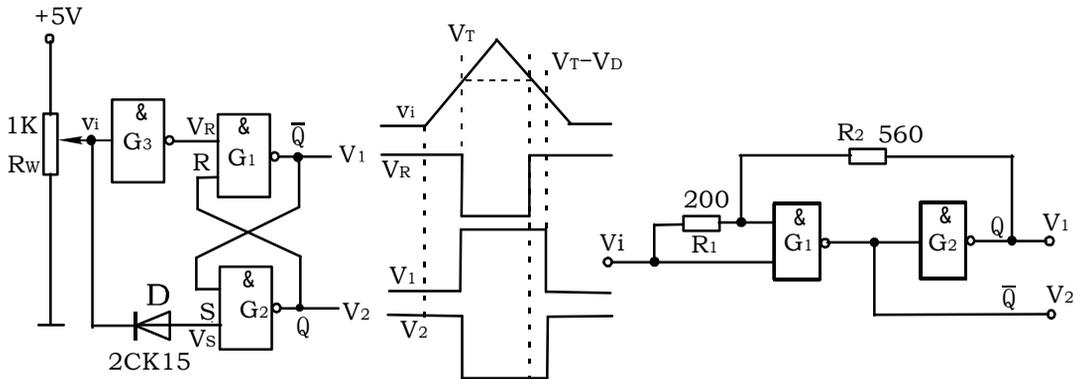
图 13—4 积分型单稳态触发器波形图

单稳态触发器共同特点是：触发脉冲未加入前，电路处于稳态。此时，可以测得各门的输入和输出电位。触发脉冲加入后，电路立刻进入暂稳态，暂稳态的时间，即输出脉冲的宽度 t_w 只取决于 RC 数值的大小，与触发脉冲无关。

2、用与非门组成施密特触发器

施密特触发器能对正弦波、三角波等信号进行整形，并输出矩形波，图 13—5 (a)、(b) 是两种典型的电路。图 13—5 (a) 中，门 G_1 、 G_2 是基本 RS 触发器，门 G_3 是反相器，二极管 D 起电平偏移作用，以产生回差电压，其工作情况如下：设 $v_i = 0$ ， G_3 截止， $R=1$ 、 $S=0$ ， $Q=1$ 、 $\bar{Q}=0$ ，电路处于原态。 v_i 由 0V 上升到电路的接通电位 V_T 时， G_3 导通， $R=0$ ， $S=1$ ，触发器翻转为 $Q=0$ ， $\bar{Q}=1$ 的新状态。此后 v_i 继续上升，电路状态不变。当 v_i 由最大值下降到 V_T 值的时间内， R 仍等于 0， $S=1$ ，电路状态也不变。当 $v_i \leq V_T$ 时， G_3 由导通变为截止，而 $V_s = V_T + V_D$ 为高电平，因而 $R=1$ ， $S=1$ ，触发器状态仍保持。只有 v_i 降至使 $V_s = V_T$ 时，电路才翻回到 $Q=1$ ， $\bar{Q}=0$ 的原态。电路的回差 $\Delta V = V_D$ 。

图 13—5 (b) 是由电阻 R_1 、 R_2 产生回差的电路



(a) 由二极管 D 产生回差的电路

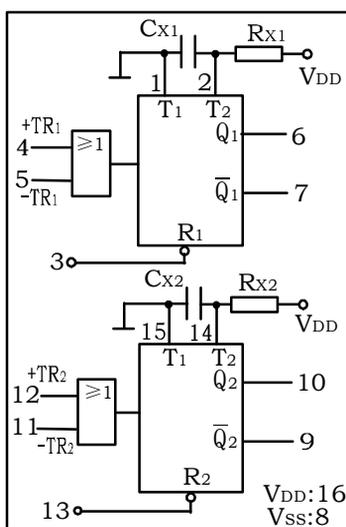
(b) 由电阻 R_1 、 R_2 产生回差的电路

图 13—5 与非门组成施密特触发器

3、集成双单稳态触发器 CC14528 (CC4098)

(1) 图 13—6 为 CC14528 (CC4098) 的逻辑符号及功能表

该器件能提供稳定的单脉冲，脉宽由外部电阻 R_x 和外部电容 C_x 决定，调整 R_x 和 C_x 可使 Q 端和 \bar{Q} 端输出脉冲宽度有一个较宽的范围。本器件可采用上升沿触发 (+TR) 也可用下降沿触发 (-TR)，为使用带来很大的方便。在正常工作时，电路应由每一个新脉冲去触发。当采用上升沿触发时， \bar{Q} 必须连到 (-TR) 端。同样，在使用下降沿触发时，Q 端必须连到 (+TR) 端。



输入			输出	
+TR	-TR	\bar{R}	Q	\bar{Q}
⌋	1	1	⌋	⌋
⌋	0	1	Q	\bar{Q}
1	⌋	1	Q	\bar{Q}
0	⌋	1	⌋	⌋
×	×	0	0	1

图 13—6 CC14528 的逻辑符号及功能表

该单稳态触发器的时间周期约为 $T_x = R_x C_x$

所有的输出级都有缓冲级，以提供较大的驱动电流。

(2) 应用举例

a、实现脉冲延迟，如图 13-7 所示。

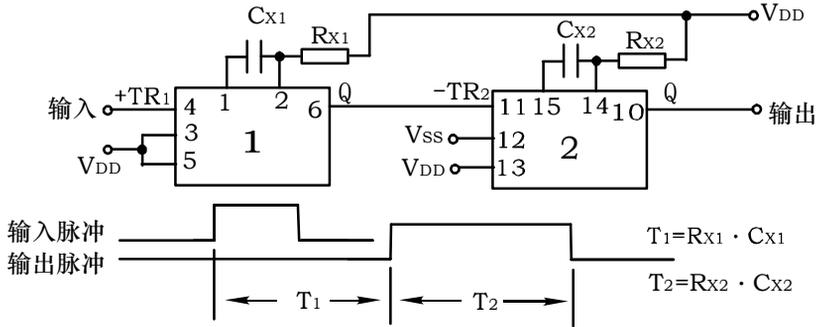


图 13-7 实现脉冲延迟

b、实现多谐振荡器，如图 13-8 所示

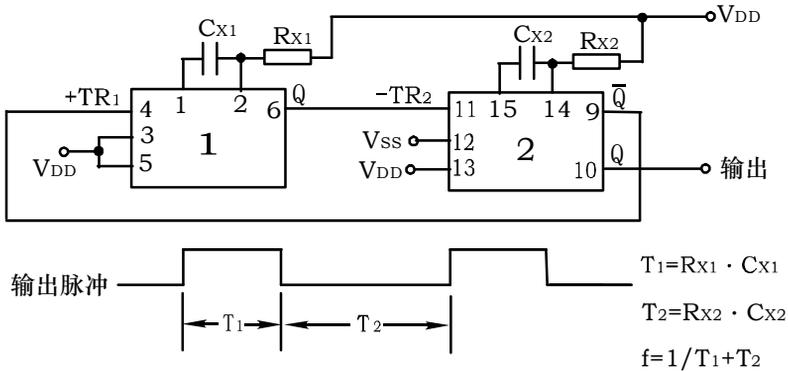


图 13-8 实现多谐振荡

4、集成六施密特触发器 CC40106

如图 13-9 为其逻辑符号及引脚功能，它可用于波形的整形，也可作反相器或构成单稳态触发器和多谐振荡器。

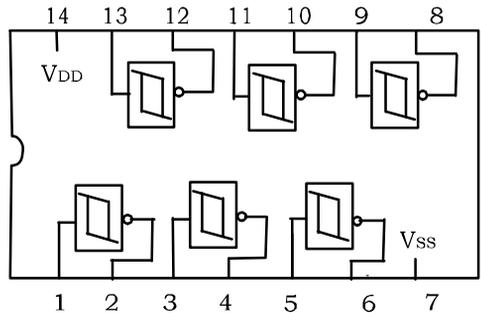


图 13-9 CC40106 引脚排列

(1) 将正弦波转换为方波，如图 13-10 所示。

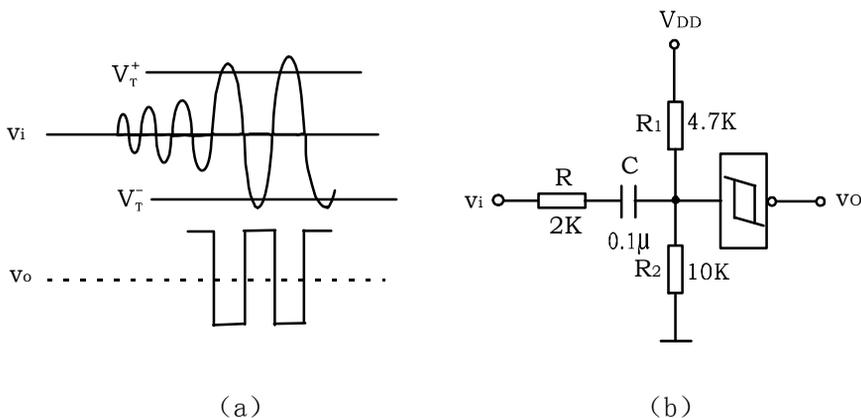


图 13-10 正弦波转换为方波

(2) 构成多谐振荡器，如图 13-11 所示。

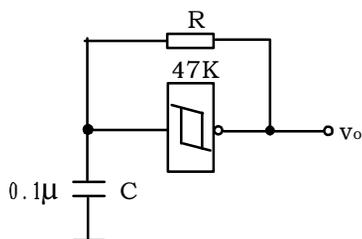


图 13-11 多谐振荡器

(3) 构成单稳态触发器

图 13-2 (a) 为下降沿触发；图 13-2 (b) 为上升沿触发。

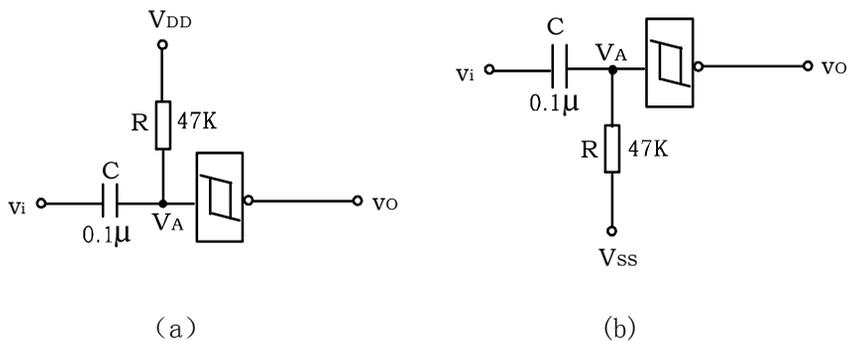


图 13-12 单稳态触发器

三、实验设备与器件

- 1、+5V 直流电源
 - 2、双踪示波器
 - 3、连续脉冲源
 - 4、数字频率计
 - 5、CC4011 CC14528 CC40106 2CK15
- 电位器、电阻、电容若干

四、实验内容

- 1、按图 13-1 接线，输入 1KHz 连续脉冲，用双踪示波器 V_i 、 V_P 、 V_A 、 V_B 、 V_D 及 V_o 的波形，记录之。
- 2、改变 C 或 R 之值，重复实验 1 的内容。
- 3、按图 13-3 接线，重复 1 的实验内容。
- 4、按图 13-5 (a) 接线，令 v_i 由 0→5V 变化，测量 V_1 、 V_2 之值。
- 5、按图 13-7 接线，输入 1KHz 连续脉冲，用双踪示波器观测输入、输出波形，测定 T_1 与 T_2 。
- 6、按图 13-8 接线，用示波器观测输出波形，测定振荡频率。
- 7、按图 13-11 接线，用示波器观测输出波形，测定振荡频率。
- 8、按图 13-10 接线，构成整形电路，被整形信号可由音频信号源提供，图中串联的 2K 电阻起限流保护作用。将正弦信号频率置 1KHz，调节信号电压由低到高观测输出波形的变化。记录输入信号为 0V, 0.25V, 0.5V, 1.0V, 1.5V, 2.0V 时的输出波形，记录之。
- 9、分别按图 13-12 (a)、(b) 接线，进行实验。

五、实验预习要求

- 1、复习有关单稳态触发器和施密特触发器的内容
- 2、画出实验用的详细线路图
- 3、拟定各次实验的方法、步骤。
- 4、拟好记录实验结果所需的数据、表格等。

六、实验报告

- 1、绘出实验线路图，用方格纸记录波形。
- 2、分析各次实验结果的波形，验证有关的理论。
- 3、总结单稳态触发器及施密特触发器的特点及其应用。

实验十四 555 时基电路及其应用

一、实验目的

- 1、熟悉 555 型集成时基电路结构、工作原理及其特点
- 2、掌握 555 型集成时基电路的基本应用

二、实验原理

集成时基电路又称为集成定时器或 555 电路，是一种数字、模拟混合型的中规模集成电路，应用十分广泛。它是一种产生时间延迟和多种脉冲信号的电路，由于内部电压标准使用了三个 5K 电阻，故取名 555 电路。其电路类型有双极型和 CMOS 型两大类，二者的结构与工作原理类似。几乎所有的双极型产品型号最后的三位数码都是 555 或 556；所有的 CMOS 产品型号最后四位数码都是 7555 或 7556，二者的逻辑功能和引脚排列完全相同，易于互换。555 和 7555 是单定时器。556 和 7556 是双定时器。双极型的电源电压 $V_{CC}=+5V\sim+15V$ ，输出的最大电流可达 200mA，CMOS 型的电源电压为 $+3\sim+18V$ 。

1、555 电路的工作原理

555 电路的内部电路方框图如图 14-1 所示。它含有两个电压比较器，一个基本 RS 触发器，一个放电开关管 T，比较器的参考电压由三只 5K Ω 的电阻器构成的分压器提供。它们分别使高电平比较器 A_1 的同相输入端和低电平比较器 A_2 的反相输入端的参考电平为 $\frac{2}{3}V_{CC}$ 和 $\frac{1}{3}V_{CC}$ 。 A_1 与 A_2 的输出端控制 RS 触发器状态和放电管开关状态。当输入信号自 6 脚，即高电平触发输入并超过参考电平 $\frac{2}{3}V_{CC}$ 时，触发器复位，555 的输出端 3 脚输出低电平，同时放电开关管导通；当输入信号自 2 脚输入并低于 $\frac{1}{3}V_{CC}$ 时，触发器置位，555 的 3 脚输出高电平，同时放电开关管截止。

\bar{R}_D 是复位端（4 脚），当 $\bar{R}_D=0$ ，555 输出低电平。平时 \bar{R}_D 端开路或接 V_{CC} 。

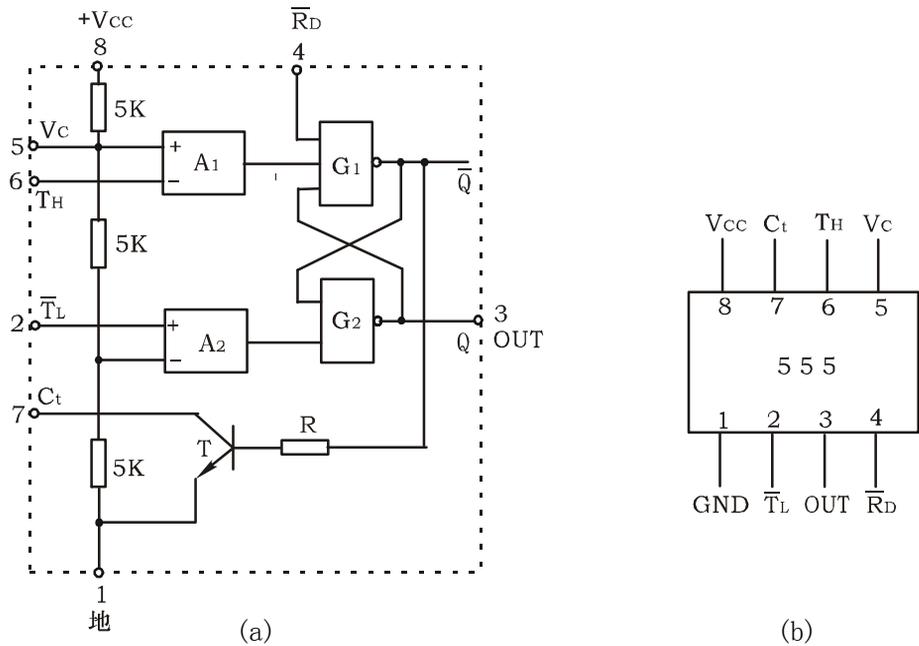


图 14-1 555 定时器内部框图及引脚排列

V_c 是控制电压端（5 脚），平时输出 $\frac{2}{3}V_{cc}$ 作为比较器 A_1 的参考电平，当 5 脚外接一个输入电压，即改变了比较器的参考电平，从而实现对输出的另一种控制，在不接外加电压时，通常接一个 $0.01 \mu f$ 的电容器到地，起滤波作用，以消除外来的干扰，以确保参考电平的稳定。

T 为放电管，当 T 导通时，将给接于脚 7 的电容器提供低阻放电路。

555 定时器主要是与电阻、电容构成充放电电路，并由两个比较器来检测电容器上的电压，以确定输出电平的高低和放电开关管的通断。这就很方便地构成从微秒到数十分钟的延时电路，可方便地构成单稳态触发器，多谐振荡器，施密特触发器等脉冲产生或波形变换电路。

2、555 定时器的典型应用

(1) 构成单稳态触发器

图 14-2 (a) 为由 555 定时器和外接定时元件 R、C 构成的单稳态触发器。触发电路由 C_1 、 R_1 、D 构成，其中 D 为钳位二极管，稳态时 555 电路输入端处于电源电平，内部放电开关管 T 导通，输出端 F 输出低电平，当有一个外部

负脉冲触发信号经 C_1 加到 2 端。并使 2 端电位瞬时低于 $\frac{1}{3}V_{CC}$ ，低电平比较器动作，单稳态电路即开始一个暂态过程，电容 C 开始充电， V_C 按指数规律增长。当 V_C 充电到 $\frac{2}{3}V_{CC}$ 时，高电平比较器动作，比较器 A_1 翻转，输出 V_o 从高水平返回低电平，放电开关管 T 重新导通，电容 C 上的电荷很快经放电开关管放电，暂态结束，恢复稳态，为下个触发脉冲的来到作好准备。波形图如图 14-2(b) 所示。

暂稳态的持续时间 t_w (即为延时时间) 决定于外接元件 R 、 C 值的大小。

$$t_w = 1.1RC$$

通过改变 R 、 C 的大小，可使延时时间在几个微秒到几十分钟之间变化。当这种单稳态电路作为计时器时，可直接驱动小型继电器，并可以使用复位端 (4 脚) 接地的方法来中止暂态，重新计时。此外尚须用一个续流二极管与继电器线圈并联，以防继电器线圈反电势损坏内部功率管。

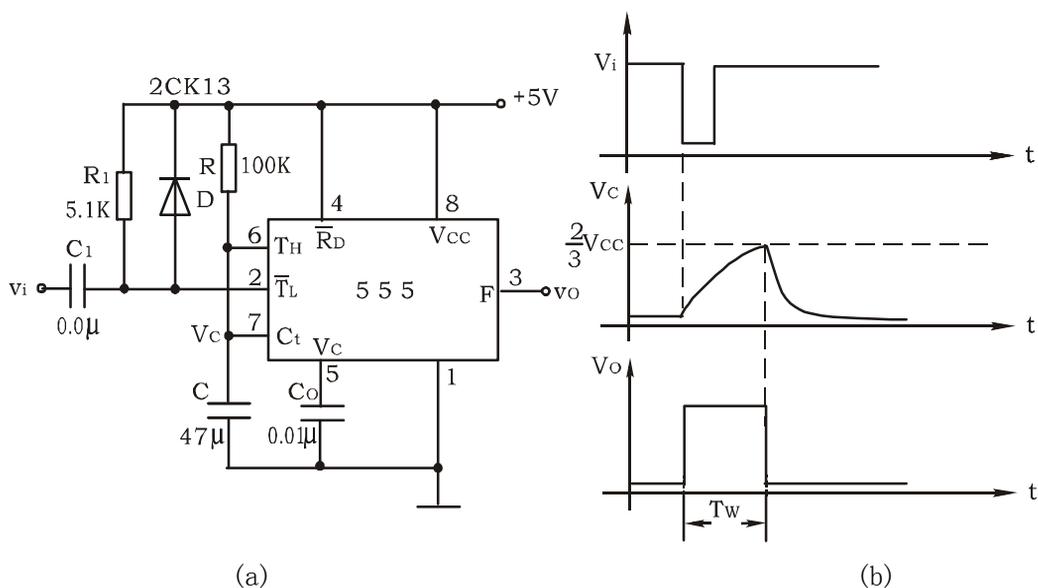


图 14-2 单稳态触发器

(2) 构成多谐振荡器

如图 14-3(a)，由 555 定时器和外接元件 R_1 、 R_2 、 C 构成多谐振荡器，脚

2 与脚 6 直接相连。电路没有稳态, 仅存在两个暂稳态, 电路亦不需要外加触发信号, 利用电源通过 R_1 、 R_2 向 C 充电, 以及 C 通过 R_2 向放电端 C_t 放电, 使电路产生振荡。电容 C 在 $\frac{1}{3}V_{CC}$ 和 $\frac{2}{3}V_{CC}$ 之间充电和放电, 其波形如图 14-3 (b) 所示。输出信号的时间参数是

$$T = t_{w1} + t_{w2}, \quad t_{w1} = 0.7(R_1 + R_2)C, \quad t_{w2} = 0.7R_2C$$

555 电路要求 R_1 与 R_2 均应大于或等于 $1K\Omega$, 但 $R_1 + R_2$ 应小于或等于 $3.3M\Omega$ 。

外部元件的稳定性决定了多谐振荡器的稳定性, 555 定时器配以少量的元件即可获得较高精度的振荡频率和具有较强的功率输出能力。因此这种形式的多谐振荡器应用很广。

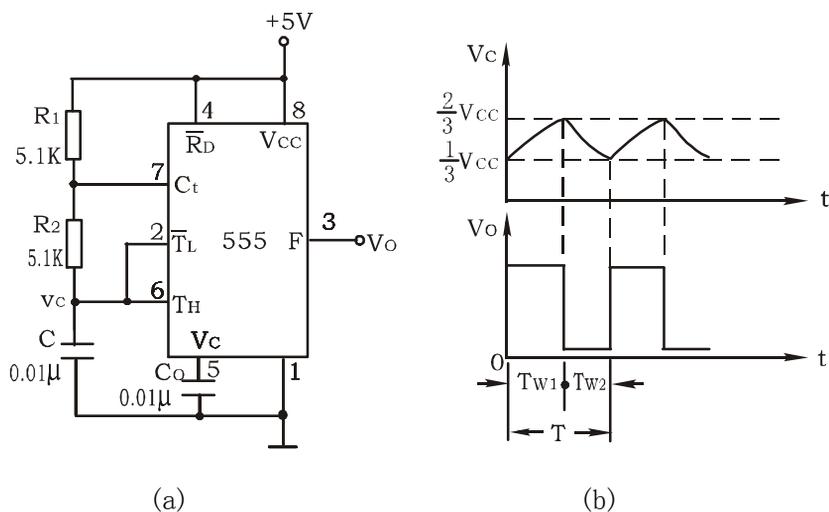


图 14-3 多谐振荡器

(3) 组成占空比可调的多谐振荡器

电路如图 14-4, 它比图 14-3 所示电路增加了一个电位器和两个导引二极管。 D_1 、 D_2 用来决定电容充、放电电流流经电阻的途径 (充电时 D_1 导通, D_2 截止; 放电时 D_2 导通, D_1 截止)。

$$\text{占空比 } P = \frac{t_{w1}}{t_{w1} + t_{w2}} \approx \frac{0.7R_A C}{0.7C(R_A + R_B)} = \frac{R_A}{R_A + R_B}$$

可见, 若取 $R_A = R_B$ 电路即可输出占空比为 50% 的方波信号。

(4) 组成占空比连续可调并能调节振荡频率的多谐振荡器

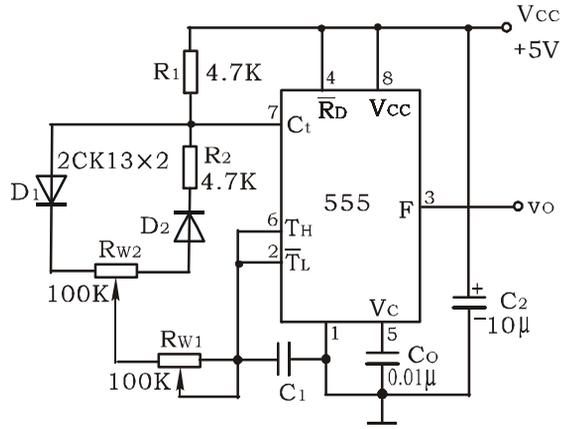
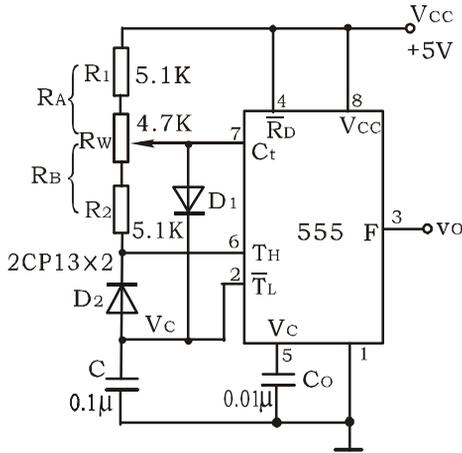


图 14-4 占空比可调的多谐振荡器

图 14-5 占空比与频率均可调的多谐振荡器

电路如图 14-5 所示。对 C_1 充电时，充电电流通过 R_1 、 D_1 、 R_{W2} 和 R_{W1} ；放电时通过 R_{W1} 、 R_{W2} 、 D_2 、 R_2 。当 $R_1=R_2$ 、 R_{W2} 调至中心点，因充放电时间基本相等，其占空比约为 50%，此时调节 R_{W1} 仅改变频率，占空比不变。如 R_{W2} 调至偏离中心点，再调节 R_{W1} ，不仅振荡频率改变，而且对占空比也有影响。 R_{W1} 不变，调节 R_{W2} ，仅改变占空比，对频率无影响。因此，当接通电源后，应首先调节 R_{W1} 使频率至规定值，再调节 R_{W2} ，以获得需要的占空比。若频率调节的范围比较大，还可以用波段开关改变 C_1 的值。

(5) 组成施密特触发器

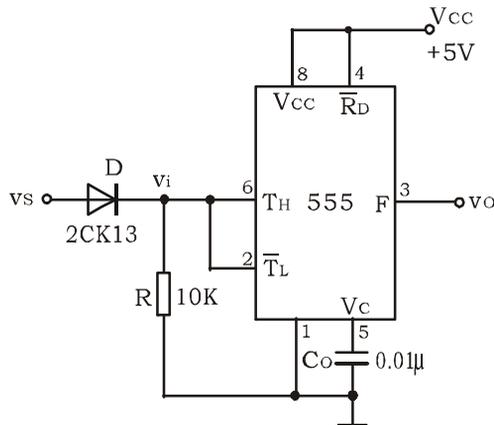


图 14-6 施密特触发器

电路如图 14-6，只要将脚 2、6 连在一起作为信号输入端，即得到施密特触发器。图 14-7 示出了 v_s 、 v_i 和 v_o 的波形图。

设被整形变换的电压为正弦波 v_s ，其正半波通过二极管 D 同时加到 555 定时器的 2 脚和 6 脚，得 v_i 为半波整流波形。当 v_i 上升到 $\frac{2}{3}V_{CC}$ 时， v_o 从高电平翻转为低电平；当 v_i 下降到 $\frac{1}{3}V_{CC}$ 时， v_o 又从低电平翻转为高电平。电路的电压传输特性曲线如图 14-8 所示。

$$\text{回差电压 } \Delta V = \frac{2}{3}V_{CC} - \frac{1}{3}V_{CC} = \frac{1}{3}V_{CC}$$

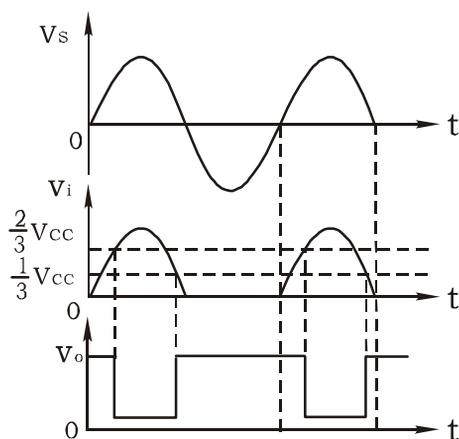


图 14-7 波形变换图

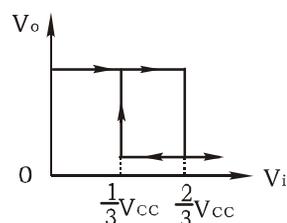


图 14-8 电压传输特性

三、实验设备与器件

- | | |
|------------------|-------------|
| 1、 +5V 直流电源 | 2、 双踪示波器 |
| 3、 连续脉冲源 | 4、 单次脉冲源 |
| 5、 音频信号源 | 6、 数字频率计 |
| 7、 逻辑电平显示器 | |
| 8、 555×2 2CK13×2 | 电位器、电阻、电容若干 |

四、实验内容

1、 单稳态触发器

- (1) 按图 14-2 连线，取 $R=100K$ ， $C=47\mu f$ ，输入信号 v_i 由单次脉冲

源提供，用双踪示波器观测 v_i ， v_c ， v_o 波形。测定幅度与暂稳时间。

(2) 将 R 改为 1K，C 改为 $0.1 \mu f$ ，输入端加 1KHz 的连续脉冲，观测波形 v_i ， v_c ， v_o ，测定幅度及暂稳时间。

2、多谐振荡器

(1) 按图 14-3 接线，用双踪示波器观测 v_c 与 v_o 的波形，测定频率。

(2) 按图 14-4 接线，组成占空比为 50% 的方波信号发生器。观测 v_c ， v_o 波形，测定波形参数。

(3) 按图 14-5 接线，通过调节 R_{w1} 和 R_{w2} 来观测输出波形。

3、施密特触发器

按图 14-6 接线，输入信号由音频信号源提供，预先调好 v_s 的频率为 1KHz，接通电源，逐渐加大 v_s 的幅度，观测输出波形，测绘电压传输特性，算出回差电压 ΔU 。

4、模拟声响电路

按图 14-9 接线，组成两个多谐振荡器，调节定时元件，使 I 输出较低频率，II 输出较高频率，连好线，接通电源，试听音响效果。调换外接阻容元件，再试听音响效果。

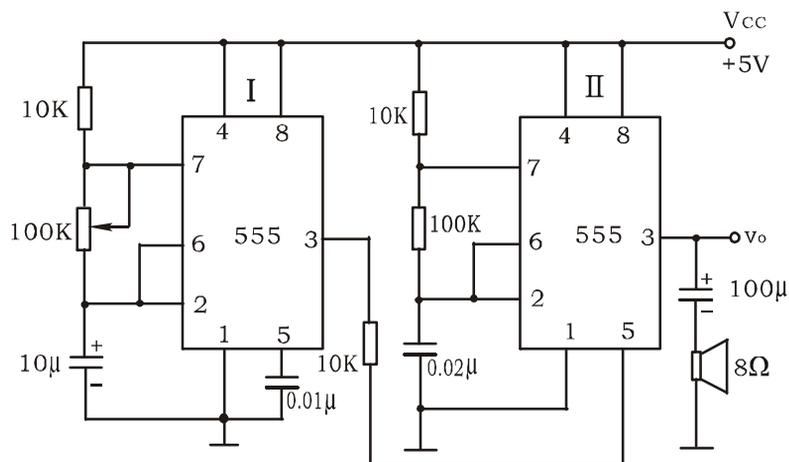


图 14-9 模拟声响电路

五、实验预习要求

- 1、 复习有关 555 定时器的工作原理及其应用。
- 2、 拟定实验中所需的数据、表格等。
- 3、 如何用示波器测定施密特触发器的电压传输特性曲线？
- 4、 拟定各次实验的步骤和方法。

六、实验报告

- 1、 绘出详细的实验线路图，定量绘出观测到的波形
- 2、 分析、总结实验结果

实验十五 D / A、A / D转换器

一、实验目的

- 1、了解 D / A和 A / D转换器的基本工作原理和基本结构
- 2、掌握大规模集成 D / A和 A / D转换器的功能及其典型应用

二、实验原理

在数字电子技术的很多应用场合往往需要把模拟量转换为数字量，称为模 / 数转换器（A / D转换器，简称 ADC）；或把数字量转换成模拟量，称为数 / 模转换器（D / A转换器，简称 DAC）。完成这种转换的线路有多种，特别是单片大规模集成 A / D、D / A转换器问世，为实现上述的转换提供了极大的方便。使用者可借助于手册提供的器件性能指标及典型应用电路，即可正确使用这些器件。本实验将采用大规模集成电路 DAC0832 实现 D / A 转换，ADC0809 实现 A / D转换。

1、 D / A转换器 DAC0832

DAC0832 是采用 CMOS 工艺制成的单片电流输出型 8 位数 / 模转换器。图 15-1 是 DAC0832 的逻辑框图及引脚排列。

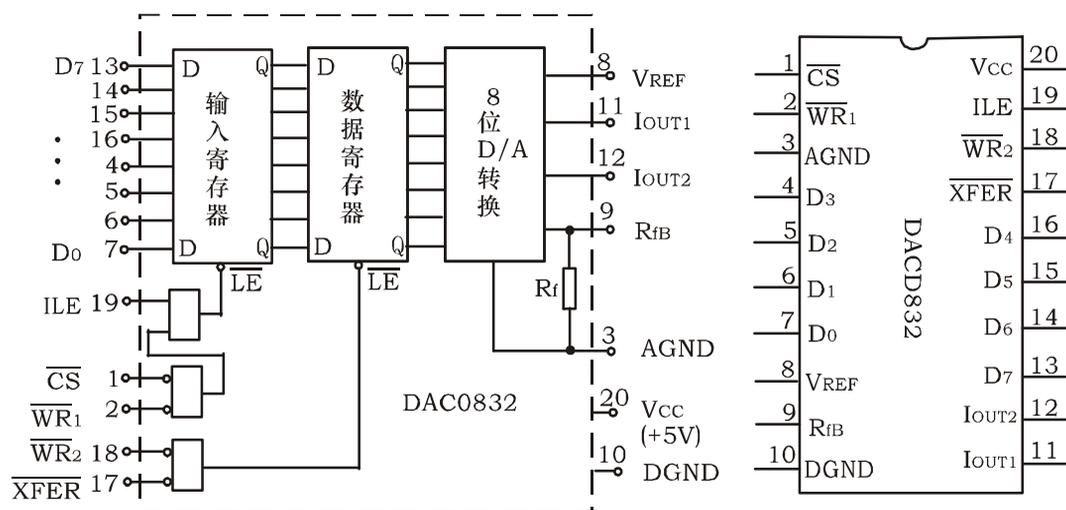


图 15-1 DAC0832 单片 D/A 转换器逻辑框图和引脚排列

器件的核心部分采用倒 T 型电阻网络的 8 位 D/A 转换器，如图 15-2 所示。它是由倒 T 型 R-2R 电阻网络、模拟开关、运算放大器和参考电压 V_{REF} 四部分组成。

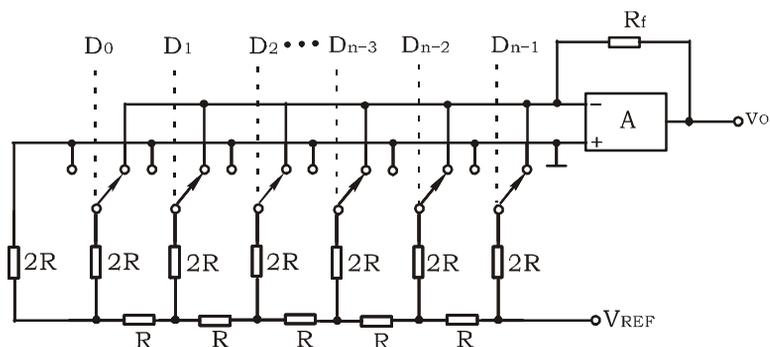


图 15-2 倒 T 型电阻网络 D/A 转换电路

运放的输出电压为

$$V_0 = \frac{V_{REF} \cdot R_f}{2^n R} (D_{n-1} \cdot 2^{n-1} + D_{n-2} \cdot 2^{n-2} + \dots + D_0 \cdot 2^0)$$

由上式可见，输出电压 V_0 与输入的数字量成正比，这就实现了从数字量到模拟量的转换。

一个 8 位的 D/A 转换器，它有 8 个输入端，每个输入端是 8 位二进制数的一位，有一个模拟输出端，输入可有 $2^8 = 256$ 个不同的二进制组态，输出为 256 个电压之一，即输出电压不是整个电压范围内任意值，而只能是 256 个可能值。

DAC0832 的引脚功能说明如下：

D_0-D_7 ：数字信号输入端

ILE：输入寄存器允许，高电平有效

\overline{CS} ：片选信号，低电平有效

\overline{WR}_1 ：写信号 1，低电平有效

\overline{XFER} ：传送控制信号，低电平有效

\overline{WR}_2 ：写信号 2，低电平有效

I_{OUT1} , I_{OUT2} : DAC 电流输出端

R_{FB} : 反馈电阻, 是集成在片内的外接运放的反馈电阻

V_{REF} : 基准电压 ($-10 \sim +10$) V

V_{CC} : 电源电压 ($+5 \sim +15$) V

AGND: 模拟地
NGND: 数字地 > 可接在一起使用

DAC0832 输出的是电流, 要转换为电压, 还必须经过一个外接的运算放大器, 实验线路如图 15-3 所示。

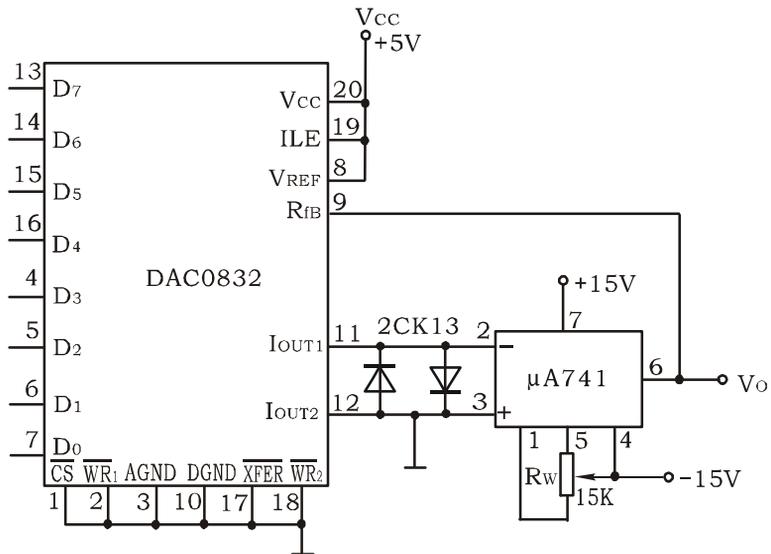


图 15-3 D/A 转换器实验线路

2、A / D转换器 ADC0809

ADC0809 是采用 CMOS 工艺制成的单片 8 位 8 通道逐次渐近型模 / 数转换器, 其逻辑框图及引脚排列如图 15-4 所示。

器件的核心部分是 8 位 A / D 转换器, 它由比较器、逐次渐近寄存器、D / A 转换器及控制和定时 5 部分组成。

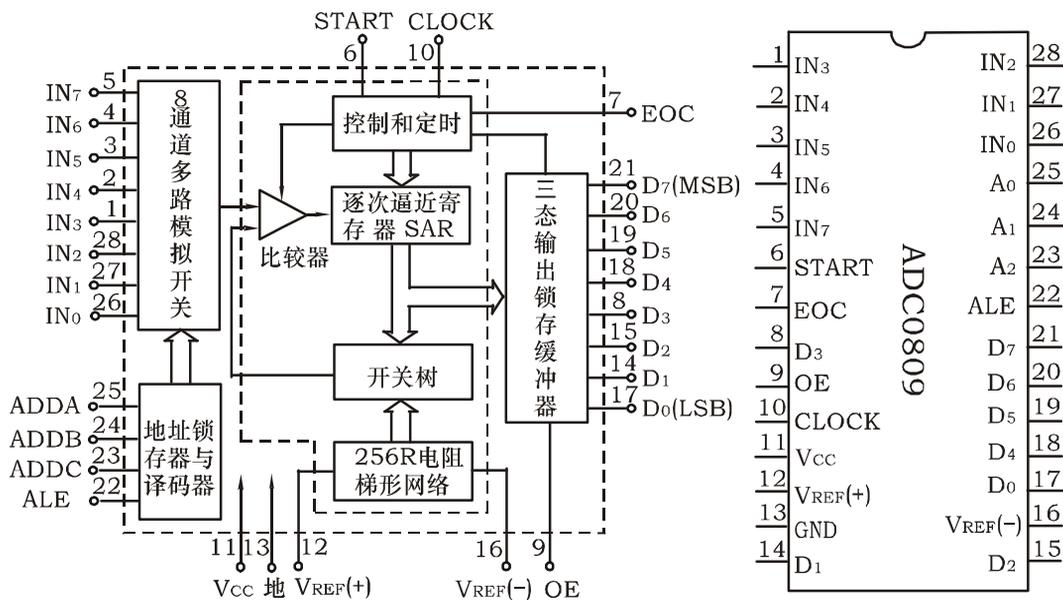


图 15-4 ADC0809 转换器逻辑框图及引脚排列。

ADC0809 的引脚功能说明如下：

IN₀—IN₇：8 路模拟信号输入端

A₂、A₁、A₀：地址输入端

ALE：地址锁存允许输入信号，在此脚施加正脉冲，上升沿有效，此时锁存地址码，从而选通相应的模拟信号通道，以便进行 A / D 转换。

START：启动信号输入端，应在此脚施加正脉冲，当上升沿到达时，内部逐次逼近寄存器复位，在下降沿到达后，开始 A / D 转换过程。

EOC：转换结束输出信号（转换结束标志），高电平有效。

OE：输入允许信号，高电平有效。

CLOCK (CP)：时钟信号输入端，外接时钟频率一般为 640KHz。

V_{CC}：+5V 单电源供电

V_{REF}(+)、V_{REF}(-)：基准电压的正极、负极。一般 V_{REF}(+) 接 +5V 电源，V_{REF}(-) 接地。

D₇—D₀：数字信号输出端

1) 模拟量输入通道选择

8 路模拟开关由 A_2 、 A_1 、 A_0 三地址输入端选通 8 路模拟信号中的任何一路进行 A / D 转换，地址译码与模拟输入通道的选通关系如表 15-1 所示。

表 15-1

被选模拟通道		IN ₀	IN ₁	IN ₂	IN ₃	IN ₄	IN ₅	IN ₆	IN ₇
地	A ₂	0	0	0	0	1	1	1	1
	A ₁	0	0	1	1	0	0	1	1
址	A ₀	0	1	0	1	0	1	0	1

2) D / A 转换过程

在启动端 (START) 加启动脉冲 (正脉冲), D / A 转换即开始。如将启动端 (START) 与转换结束端 (EOC) 直接相连, 转换将是连续的, 在用这种转换方式时, 开始应在外部加启动脉冲。

三、实验设备及器件

- 1、 +5V、±15V 直流电源
- 2、 双踪示波器
- 3、 计数脉冲源
- 4、 逻辑电平开关
- 5、 逻辑电平显示器
- 6、 直流数字电压表
- 7、 DAC0832、ADC0809、μA741、电位器、电阻、电容若干

四、实验内容

1、 D / A 转换器 — DAC0832

(1) 按图 15-3 接线, 电路接成直通方式, 即 \overline{CS} 、 $\overline{WR_1}$ 、 $\overline{WR_2}$ 、 \overline{XFER} 接地; ALE、 V_{CC} 、 V_{REF} 接 +5V 电源; 运放电源接 ±15V; $D_0 \sim D_7$ 接逻辑开关的输出插口, 输出端 v_0 接直流数字电压表。

(2) 调零, 令 $D_0 \sim D_7$ 全置零, 调节运放的可调电位器使 μA741 输出为零。

(3) 按表 15-2 所列的输入数字信号，用数字电压表测量运放的输出电压 V_0 ，并将测量结果填入表中，并与理论值进行比较。

表 15-2

输入数字量								输出模拟量 V_0 (V)
D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	$V_{CC}=+5V$
0	0	0	0	0	0	0	0	
0	0	0	0	0	0	0	1	
0	0	0	0	0	0	1	0	
0	0	0	0	0	1	0	0	
0	0	0	0	1	0	0	0	
0	0	0	1	0	0	0	0	
0	0	1	0	0	0	0	0	
0	1	0	0	0	0	0	0	
1	0	0	0	0	0	0	0	
1	1	1	1	1	1	1	1	

2、A / D 转换器 — ADC0809

按图 15-5 接线

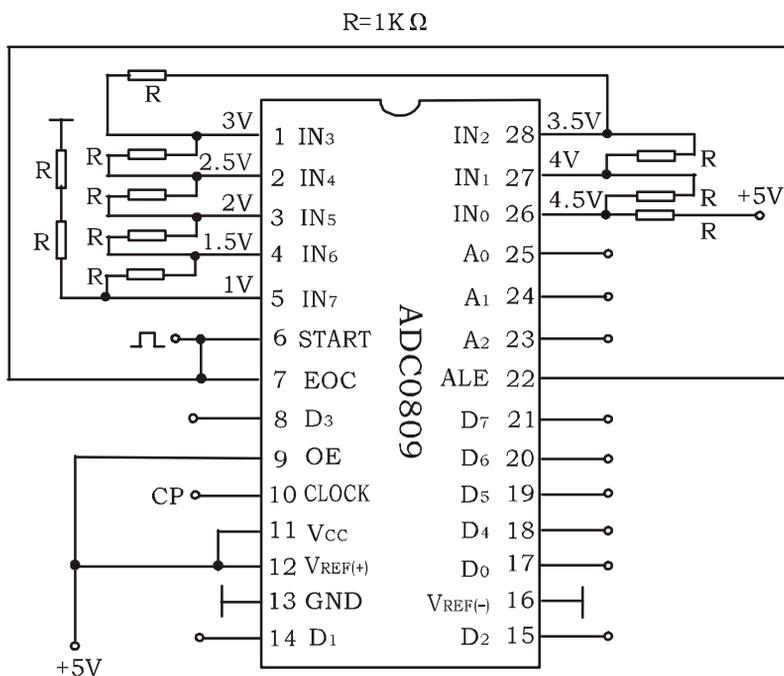


图 15-5 ADC0809 实验线路

(1)八路输入模拟信号 $1V\sim 4.5V$ ，由+5V 电源经电阻 R 分压组成；变换结果 $D_0\sim D_7$ 接逻辑电平显示器输入插口，CP 时钟脉冲由计数脉冲源提供，取 $f=100KHz$ ； $A_0\sim A_2$ 地址端接逻辑电平输出插口。

(2)接通电源后，在启动端（START）加一正单次脉冲，下降沿一到即开始 A / D转换。

(3)按表 15—3 的要求观察，记录 $IN_0\sim IN_7$ 八路模拟信号的转换结果，并将转换结果换算成十进制数表示的电压值，并与数字电压表实测的各路输入电压值进行比较，分析误差原因。

五、实验预习要求

- 1、 复习 A/D、D/A 转换的工作原理
- 2、 熟悉 ADC0809、DAC0832 各引脚功能，使用方法。
- 3、 绘好完整的实验线路和所需的实验记录表格
- 4、 拟定各个实验内容的具体实验方案

表 15—3

被选模拟通道	输入模拟量	地 址			输 出 数 字 量								
		A_2	A_1	A_0	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	十进制
IN	v_i (V)												
IN_0	4.5	0	0	0									
IN_1	4.0	0	0	1									
IN_2	3.5	0	1	0									
IN_3	3.0	0	1	1									
IN_4	2.5	1	0	0									
IN_5	2.0	1	0	1									
IN_6	1.5	1	1	0									
IN_7	1.0	1	1	1									

六、实验报告

整理实验数据，分析实验结果。

综 合 性 实 验

实验十六 智力竞赛抢答装置

一、实验目的

- 1、学习数字电路中 D 触发器、分频电路、多谐振荡器、CP 时钟脉冲源等单元电路的综合运用。
- 2、熟悉智力竞赛抢答器的工作原理。
- 3、了解简单数字系统实验、调试及故障排除方法。

二、实验原理

图 16-1 为供四人用的智力竞赛抢答装置线路，用以判断抢答优先权。

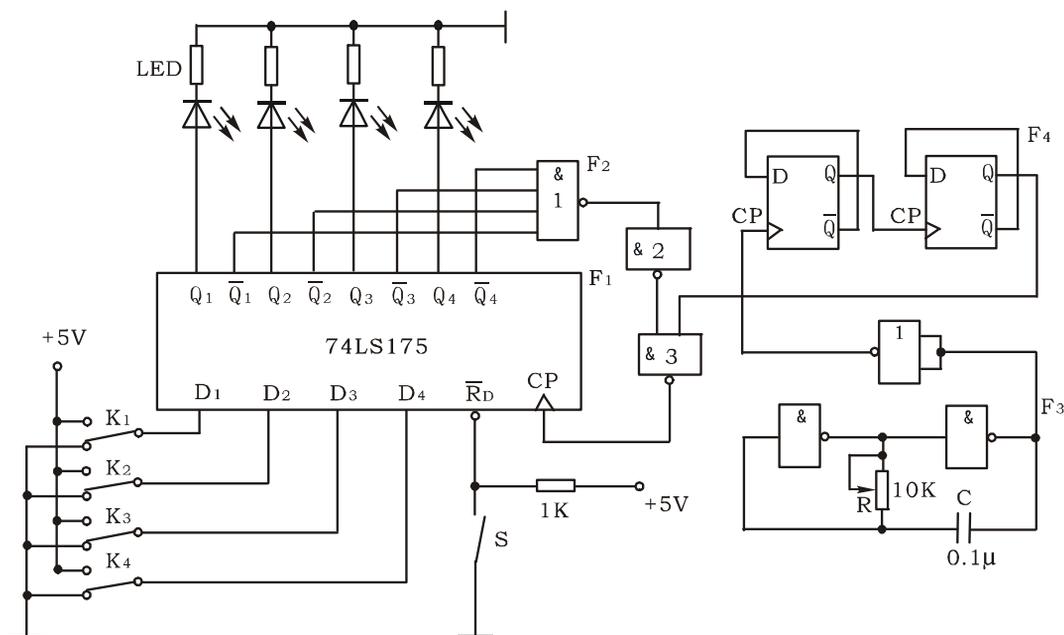


图 16-1 智力竞赛抢答装置原理图

图中 F_1 为四 D 触发器 74LS175，它具有公共置 0 端和公共 CP 端，引脚排列见附录； F_2 为双 4 输入与非门 74LS20； F_3 是由 74LS00 组成的多谐振荡器； F_4 是由 74LS74 组成的四分频电路， F_3 、 F_4 组成抢答电路中的 CP 时钟脉冲源，抢答开始时，由主持人清除信号，按下复位开关 S，74LS175 的输出 $Q_1 \sim Q_4$ 全为 0，所有发光二极管 LED 均熄灭，当主持人宣布“抢答开始”后，首先作出判断

的参赛者立即按下开关，对应的发光二极管点亮，同时，通过与非门 F_2 送出信号锁住其余三个抢答者的电路，不再接受其它信号，直到主持人再次清除信号为止。

三、实验设备与器件

- | | |
|--------------------------------|-----------|
| 1、+5V 直流电源 | 2、逻辑电平开关 |
| 3、逻辑电平显示器 | 4、双踪示波器 |
| 5、数字频率计 | 6、直流数字电压表 |
| 7、74LS175、74LS20、74LS74、74LS00 | |

四、实验内容

- 1、测试各触发器及各逻辑门的逻辑功能。

试测方法参照实验二及实验九有关内容，判断器件的好坏。

- 2、按图 16-1 接线，抢答器五个开关接实验装置上的逻辑开关、发光二极管接逻辑电平显示器。

- 3、断开抢答器电路中 CP 脉冲源电路，单独对多谐振荡器 F_3 及分频器 F_4 进行调试，调整多谐振荡器 10K 电位器，使其输出脉冲频率约 4KHz，观察 F_3 及 F_4 输出波形及测试其频率（参照实验十三有关内容）。

- 4、测试抢答器电路功能

接通+5 电源，CP 端接实验装置上连续脉冲源，取重复频率约 1KHz。

- (1) 抢答开始前，开关 K_1 、 K_2 、 K_3 、 K_4 均置“0”，准备抢答，将开关 S 置“0”，发光二极管全熄灭，再将 S 置“1”。抢答开始， K_1 、 K_2 、 K_3 、 K_4 某一开关置“1”，观察发光二极管的亮、灭情况，然后再将其它三个开关中任一置“1”，观察发光二极管的亮、灭有否改变。

- (2) 重复 (1) 的内容，改变 K_1 、 K_2 、 K_3 、 K_4 任一个开关状态，观察抢答器的工作情况。

- (3) 整体测试

断开实验装置上的连续脉冲源，接入 F_3 及 F_4 ，再进行实验。

五、实验预习要求

若在图 16-1 电路中加入一个计时功能，要求计时电路显示时间精确到秒，最多限制为 2 分钟，一旦超出限时，则取消抢答权，电路如何改进。

六、实验报告

- 1、分析智力竞赛抢答装置各部分功能及工作原理
- 2、总结数字系统的设计、调试方法
- 3、分析实验中出现的故障及解决办法

实验十七 电子秒表

一、实验目的

- 1、学习数字电路中基本 RS 触发器、单稳态触发器、时钟发生器及计数、译码显示等单元电路的综合应用。
- 2、学习电子秒表的调试方法。

二、实验原理

图 17-1 为电子秒表的电原理图。按功能分成四个单元电路进行分析。

1、基本 RS 触发器

图 17-1 中单元 I 为用集成与非门构成的基本 RS 触发器。属低电平直接触发的触发器，有直接置位、复位的功能。

它的一路输出 \bar{Q} 作为单稳态触发器的输入，另一路输出 Q 作为与非门 5 的输入控制信号。

按动按钮开关 K_2 (接地)，则门 1 输出 $\bar{Q}=1$ ；门 2 输出 $Q=0$ ， K_2 复位后 Q 、 \bar{Q} 状态保持不变。再按动按钮开关 K_1 ，则 Q 由 0 变为 1，门 5 开启，为计数器启动作好准备。 \bar{Q} 由 1 变 0，送出负脉冲，启动单稳态触发器工作。

基本 RS 触发器在电子秒表中的职能是启动和停止秒表的工作。

2、单稳态触发器

图 17-1 中单元 II 为用集成与非门构成的微分型单稳态触发器，图 17-2 为各点波形图。

单稳态触发器的输入触发负脉冲信号 v_i 由基本 RS 触发器 \bar{Q} 端提供，输出负脉冲 v_o 通过非门加到计数器的清除端 R。

静态时，门 4 应处于截止状态，故电阻 R 必须小于门的关门电阻 R_{off} 。定时元件 RC 取值不同，输出脉冲宽度也不同。当触发脉冲宽度小于输出脉冲宽度时，可以省去输入微分电路的 R_p 和 C_p 。

单稳态触发器在电子秒表中的职能是为计数器提供清零信号。

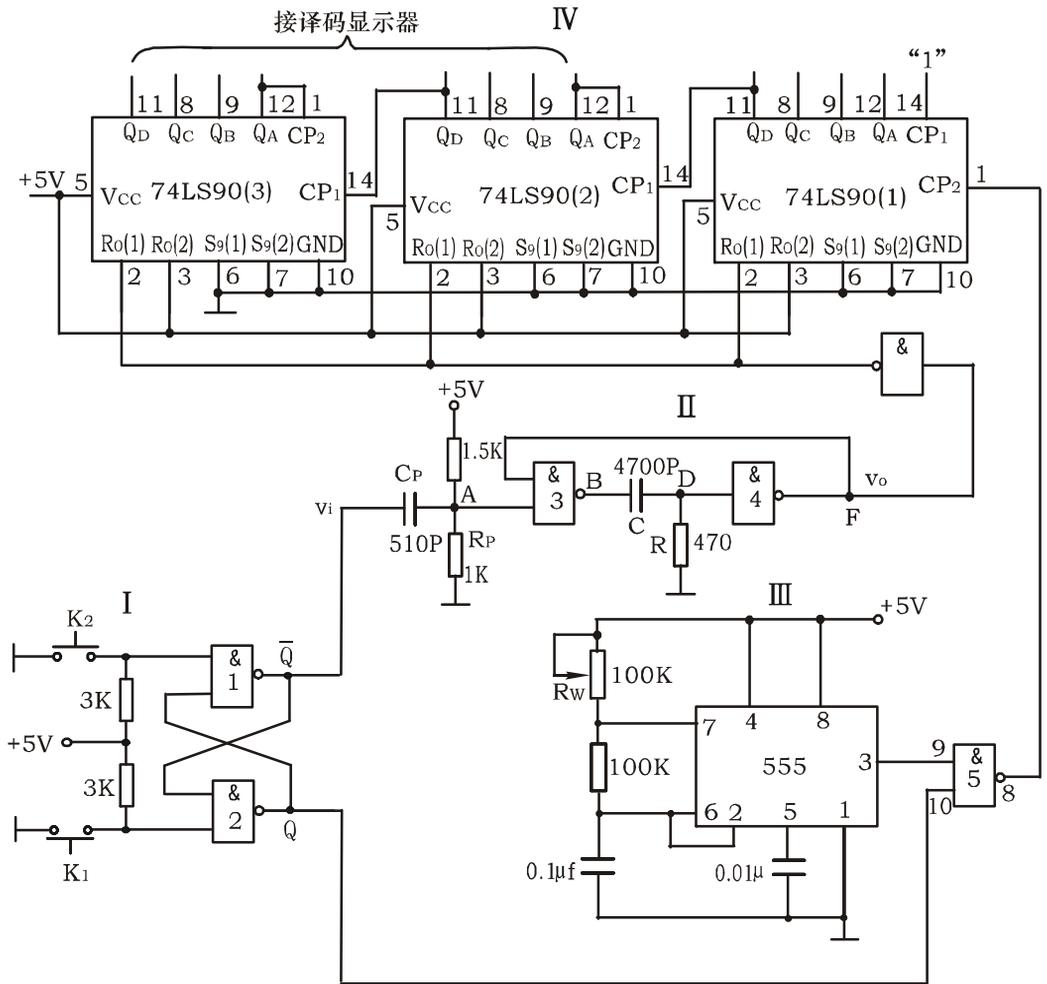


图 17-1 电子秒表原理图

3、时钟发生器

图 17-1 中单元 III 为用 555 定时器构成的多谐振荡器，是一种性能较好的时钟源。

调节电位器 R_w ，使在输出端 3 获得频率为 50HZ 的矩形波信号，当基本 RS 触发器 $Q=1$ 时，门 5 开启，此时 50HZ 脉冲信号通过门 5 作为计数脉冲加于计数器①的计数输入端 CP_2 。

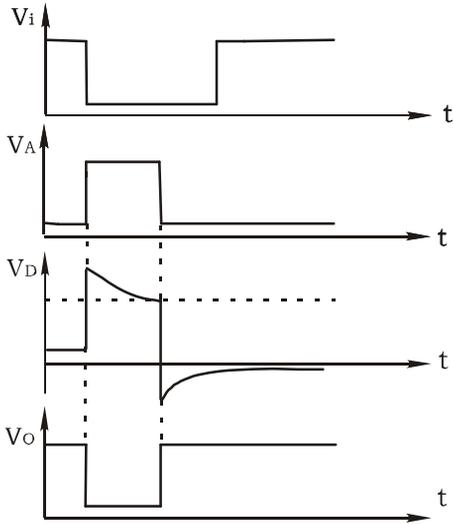


图 17-2 单稳态触发器波形图

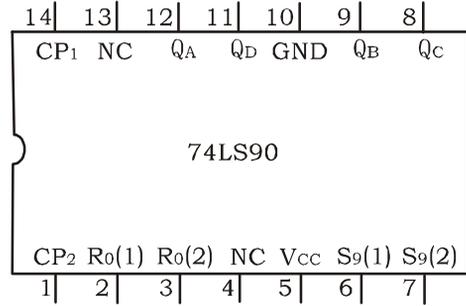


图 17-3 74LS90 引脚排列

4、计数及译码显示

二一五—十进制加法计数器 74LS90 构成电子秒表的计数单元，如图 17-1 中单元 IV 所示。其中计数器①接成五进制形式，对频率为 50HZ 的时钟脉冲进行五分频，在输出端 Q_0 取得周期为 0.1S 的矩形脉冲，作为计数器②的时钟输入。计数器②及计数器③接成 8421 码十进制形式，其输出端与实验装置上译码显示单元的相应输入端连接，可显示 0.1~0.9 秒；1~9.9 秒计时。

注：集成异步计数器 74LS90

74LS90 是异步二一五—十进制加法计数器，它既可以作二进制加法计数器，又可以作五进制和十进制加法计数器。

图 17-3 为 74LS90 引脚排列，表 17-1 为功能表。

通过不同的连接方式，74LS90 可以实现四种不同的逻辑功能；而且还可借助 $R_0(1)$ 、 $R_0(2)$ 对计数器清零，借助 $S_9(1)$ 、 $S_9(2)$ 将计数器置 9。其具体功能详述如下：

(1) 计数脉冲从 CP_1 输入， Q_A 作为输出端，为二进制计数器。

(2) 计数脉冲从 CP_2 输入， $Q_0Q_CQ_B$ 作为输出端，为异步五进制加法计数器。

(3) 若将 CP_2 和 Q_A 相连, 计数脉冲由 CP_1 输入, Q_D 、 Q_C 、 Q_B 、 Q_A 作为输出端, 则构成异步 8421 码十进制加法计数器。

(4) 若将 CP_1 与 Q_D 相连, 计数脉冲由 CP_2 输入, Q_A 、 Q_D 、 Q_C 、 Q_B 作为输出端, 则构成异步 5421 码十进制加法计数器。

(5) 清零、置 9 功能。

a) 异步清零

当 $R_0(1)$ 、 $R_0(2)$ 均为“1”; $S_9(1)$ 、 $S_9(2)$ 中有“0”时, 实现异步清零功能, 即 $Q_D Q_C Q_B Q_A = 0000$ 。

a) 置 9 功能

当 $S_9(1)$ 、 $S_9(2)$ 均为“1”; $R_0(1)$ 、 $R_0(2)$ 中有“0”时, 实现置 9 功能, 即 $Q_D Q_C Q_B Q_A = 1001$ 。

表 17-1

输 入				输 出				功 能		
清 0		置 9		时 钟		Q_D	Q_C		Q_B	Q_A
$R_0(1)$	$R_0(2)$	$S_9(1)$	$S_9(2)$	CP_1	CP_2					
1	1	0	×	×	×	0	0	0	0	清 0
0	×	1	1	×	×	1	0	0	1	置 9
0	×	0	×	↓	1	Q_A 输出			二进制计数	
				1	↓	$Q_D Q_C Q_B$ 输出			五进制计数	
				↓	Q_A	$Q_D Q_C Q_B Q_A$ 输出 8421BCD 码			十进制计数	
				Q_D	↓	$Q_A Q_D Q_C Q_B$ 输出 5421BCD 码			十进制计数	
				1	1	不 变			保 持	

三、实验设备及器件

- | | |
|------------|----------------------------|
| 1、+5V 直流电源 | 2、双踪示波器 |
| 3、直流数字电压表 | 4、数字频率计 |
| 5、单次脉冲源 | 6、连续脉冲源 |
| 7、逻辑电平开关 | 8、逻辑电平显示器 |
| 9、译码显示器 | 10、74LS00×2 555×1 74LS90×3 |
- 电位器、电阻、电容若干

四、实验内容

由于实验电路中使用器件较多，实验前必须合理安排各器件在实验装置上的位置，使电路逻辑清楚，接线较短。

实验时，应按照实验任务的次序，将各单元电路逐个进行接线和调试，即分别测试基本 RS 触发器、单稳态触发器、时钟发生器及计数器的逻辑功能，待各单元电路工作正常后，再将有关电路逐级连接起来进行测试……，直到测试电子秒表整个电路的功能。

这样的测试方法有利于检查和排除故障，保证实验顺利进行。

1、基本 RS 触发器的测试

测试方法参考实验九

2、单稳态触发器的测试

(1) 静态测试

用直流数字电压表测量 A、B、D、F 各点电位值。记录之。

(2) 动态测试

输入端接 1KHZ 连续脉冲源，用示波器观察并描绘 D 点 (v_D)、F 点 (v_F) 波形，如嫌单稳输出脉冲持续时间太短，难以观察，可适当加大微分电容 C (如改为 0.1μ) 待测试完毕，再恢复 4700P。

3、时钟发生器的测试

测试方法参考实验十五，用示波器观察输出电压波形并测量其频率，调

节 R_w ，使输出矩形波频率为 50Hz。

4、计数器的测试

(1) 计数器①接成五进制形式， $R_0(1)$ 、 $R_0(2)$ 、 $S_9(1)$ 、 $S_9(2)$ 接逻辑开关输出插口， CP_2 接单次脉冲源， CP_1 接高电平“1”， $Q_0 \sim Q_A$ 接实验设备上译码显示输入端 D、C、B、A，按表 17-1 测试其逻辑功能，记录之。

(2) 计数器②及计数器③接成 8421 码十进制形式，同内容 (1) 进行逻辑功能测试。记录之。

(3) 将计数器①、②、③级连，进行逻辑功能测试。记录之。

5、电子秒表的整体测试

各单元电路测试正常后，按图 17-1 把几个单元电路连接起来，进行电子秒表的总体测试。

先按一下按钮开关 K_2 ，此时电子秒表不工作，再按一下按钮开关 K_1 ，则计数器清零后便开始计时，观察数码管显示计数情况是否正常，如不需要计时或暂停计时，按一下开关 K_2 ，计时立即停止，但数码管保留所计时之值。

6、电子秒表准确度的测试

利用电子钟或手表的秒计时对电子秒表进行校准。

五、实验报告

- 1、总结电子秒表整个调试过程。
- 2、分析调试中发现的问题及故障排除方法。

六、预习报告

1、复习数字电路中 RS 触发器，单稳态触发器、时钟发生器及计数器等部分内容。

2、除了本实验中所采用的时钟源外，选用另外两种不同类型的时钟源，可供本实验用。画出电路图，选取元器件。

3、列出电子秒表单元电路的测试表格。

4、列出调试电子秒表的步骤。

实验十八 $3\frac{1}{2}$ 位直流数字电压表

一、实验目的

- 1、了解双积分式 A / D 转换器的工作原理
- 2、熟悉 $3\frac{1}{2}$ 位 A / D 转换器 CC14433 的性能及其引脚功能
- 3、掌握用 CC14433 构成直流数字电压表的方法

二、实验原理

直流数字电压表的核心器件是一个间接型 A / D 转换器，它首先将输入的模拟电压信号变换成易于准确测量的时间量，然后在这个时间宽度里用计数器计时，计数结果就是正比于输入模拟电压信号的数字量。

1、V-T 变换型双积分 A / D 转换器

图 18-1 是双积分 ADC 的控制逻辑框图。它由积分器（包括运算放大器 A_1 和 RC 积分网络）、过零比较器 A_2 ，N 位二进制计数器，开关控制电路，门控电路，参考电压 V_R 与时钟脉冲源 CP 组成。

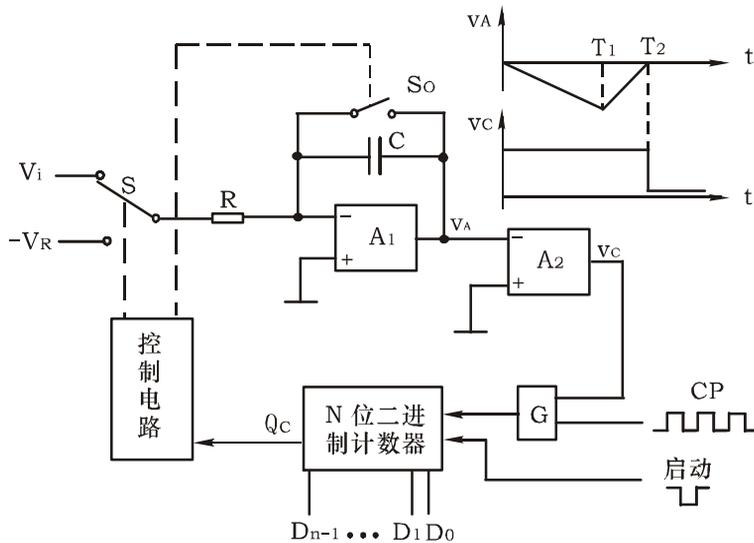


图 18-1 双积分 ADC 原理框图

转换开始前，先将计数器清零，并通过控制电路使开关 S_0 接通，将电容 C 充分放电。由于计数器进位输出 $Q_c=0$ ，控制电路使开关 S 接通 v_i ，模拟电压与积分器接通，同时，门 G 被封锁，计数器不工作。积分器输出 v_A 线性下降，经零值比较器 A_2 获得一方波 v_c ，打开门 G ，计数器开始计数，当输入 2^n 个时钟脉冲后 $t=T_1$ ，各触发器输出端 $D_{n-1}\sim D_0$ 由 $111\cdots 1$ 回到 $000\cdots 0$ ，其进位输出 $Q_c=1$ ，作为定时控制信号，通过控制电路将开关 S 转换至基准电压源 $-V_R$ ，积分器向相反方向积分， v_A 开始线性上升，计数器重新从 0 开始计数，直到 $t=T_2$ ， v_A 下降到 0 ，比较器输出的正方波结束，此时计数器中暂存二进制数字就是 v_i 相对应的二进制数码。

2、 $3\frac{1}{2}$ 位双积分 A/D 转换器 CC14433 的性能特点

CC14433 是 CMOS 双积分式 $3\frac{1}{2}$ 位 A/D 转换器，它是将构成数字和模拟电路的约 7700 多个 MOS 晶体管集成在一个硅芯片上，芯片有 24 只引脚，采用双列直插式，其引脚排列与功能如图 18-2 所示。

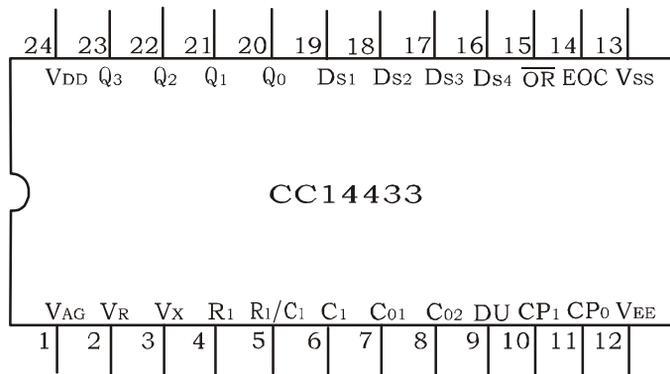


图 18-2 CC14433 引脚排列

引脚功能说明：

V_{AG} (1 脚)：被测电压 V_X 和基准电压 V_R 的参考地

V_R (2 脚)：外接基准电压 (2V 或 200mV) 输入端

V_x (3脚): 被测电压输入端

R_1 (4脚)、 R_1 / C_1 (5脚)、 C_1 (6脚): 外接积分阻容元件端

$C_1 = 0.1 \mu f$ (聚酯薄膜电容器), $R_1 = 470K \Omega$ (2V 量程);

$R_1 = 27K \Omega$ (200mV 量程)。

C_{01} (7脚)、 C_{02} (8脚): 外接失调补偿电容端, 典型值 $0.1 \mu f$ 。

DU (9脚): 实时显示控制输入端。若与 EOC (14脚) 端连接, 则每次 A/D 转换均显示。

CP_1 (10脚)、 CP_0 (11脚): 时钟振荡外接电阻端, 典型值为 $470K \Omega$ 。

V_{EE} (12脚): 电路的电源最负端, 接 $-5V$ 。

V_{SS} (13脚): 除 CP 外所有输入端的低电平基准 (通常与 1脚连接)。

EOC (14脚): 转换周期结束标记输出端, 每一次 A/D 转换周期结束, EOC 输出一个正脉冲, 宽度为时钟周期的二分之一。

\overline{OR} (15脚): 过量程标志输出端, 当 $|V_x| > V_R$ 时, \overline{OR} 输出为低电平。

$DS_4 \sim DS_1$ (16~19脚): 多路选通脉冲输入端, DS_1 对应于千位, DS_2 对应于百位, DS_3 对应于十位, DS_4 对应于个位。

$Q_0 \sim Q_3$ (20~23脚): BCD 码数据输出端, DS_2 、 DS_3 、 DS_4 选通脉冲期间, 输出三位完整的十进制数, 在 DS_1 选通脉冲期间, 输出千位 0 或 1 及过量程、欠量程和被测电压极性标志信号。

CC14433 具有自动调零, 自动极性转换等功能。可测量正或负的电压值。当 CP_1 、 CP_0 端接入 $470K \Omega$ 电阻时, 时钟频率 $\approx 66KHz$, 每秒钟可进行 4 次 A/D 转换。它的使用调试简便, 能与微处理机或其它数字系统兼容, 广泛用于数字面板表, 数字万用表, 数字温度计, 数字量具及遥测、遥控系统。

3、 $3 \frac{1}{2}$ 位直流数字电压表的组成 (实验线路)

线路结构如图 18-3 所示。

(1) 被测直流电压 V_x 经 A/D 转换后以动态扫描形式输出, 数字量输出端 Q_0 Q_1 Q_2 Q_3 上的数字信号 (8421 码) 按照时间先后顺序输出。位选信号

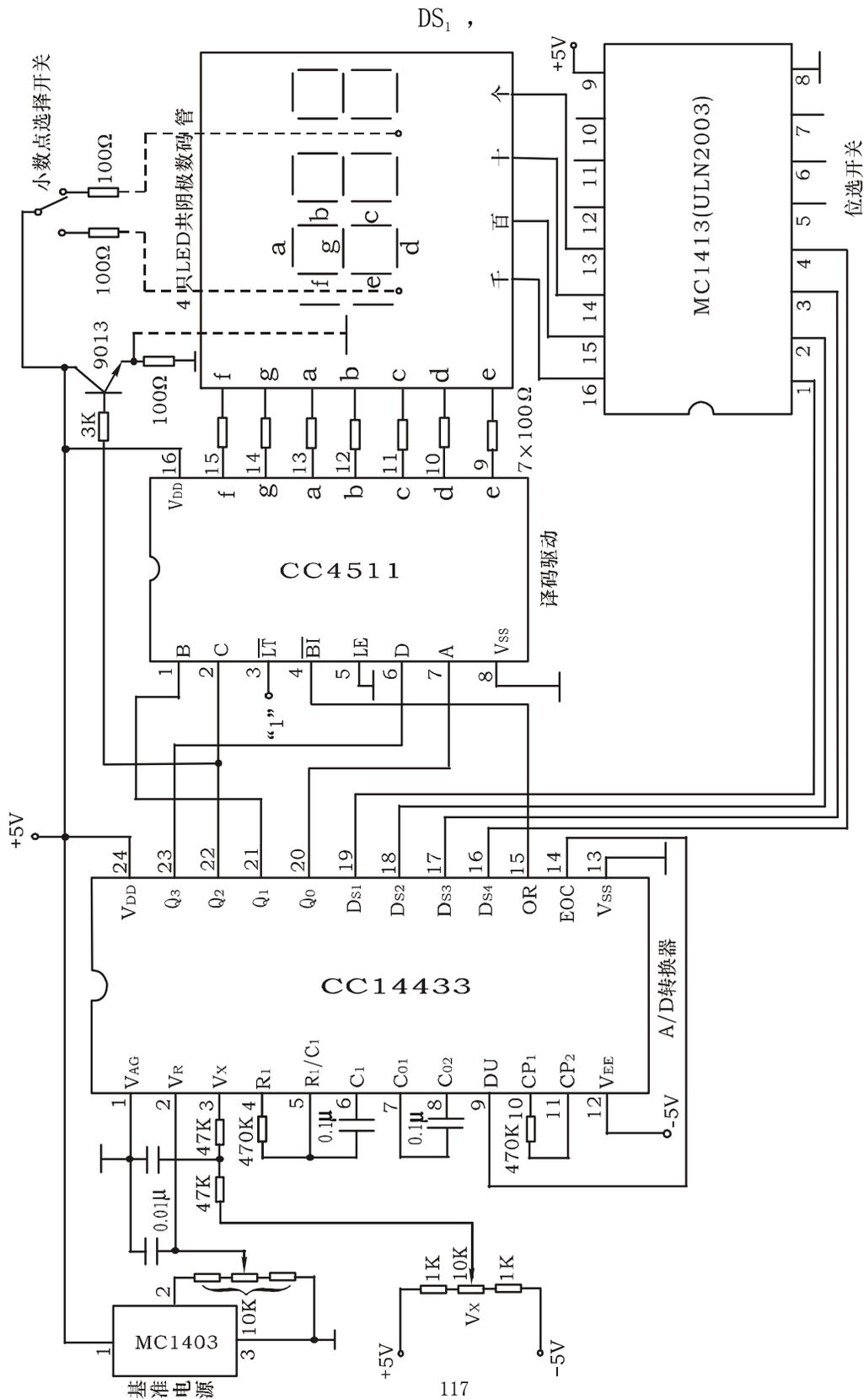


图18-3 三位半直流数字电压表线路图

DS₂, DS₃, DS₄通过位选开关 MC1413 分别控制着千位、百位、十位和个位上的四只 LED 数码管的公共阴极。数字信号经七段译码器 CC4511 译码后,驱动四只 LED 数码管的各段阳极。这样就把 A / D转换器按时间顺序输出的数据以扫描形式在四只数码管上依次显示出来,由于选通重复频率较高,工作时从高位到低位以每位每次约 300 μ S 的速率循环显示。即一个 4 位数的显示周期是 1.2ms,所以人的肉眼就能清晰地看到四位数码管同时显示三位半十进制数字量。

(2) 当参考电压 $V_R=2V$ 时,满量程显示 1.999V; $V_R=200mV$ 时,满量程为 199.9mV。可以通过选择开关来控制千位和十位数码管的 h 笔经限流电阻实现对相应的小数点显示的控制。

(3) 最高位(千位)显示时只有 b、c 二根线与 LED 数码管的 b、c 脚相接,所以千位只显示 1 或不显示,用千位的 g 笔段来显示模拟量的负值(正值不显示),即由 CC14433 的 Q₂ 端通过 NPN 晶体管 9013 来控制 g 段。

(4) 精密基准电源 MC1403

A / D 转换需要外接标准电压源作参考电压。标准电压源的精度应当高于 A / D 转换器的精度。本实验采用 MC1403 集成精密稳压源作参考电压,MC1403 的输出电压为 2.5V,当输入电压在 4.5~15V 范围内变化时,输出电压的变化不超过 3mV,一般只有 0.6mV 左右,输出最大电流为 10mA。

MC1403 引脚排列见图 18-4。

(5) 实验中使用 CMOS BCD 七段译码 / 驱动器 CC4511,参考实验六有关部分。

(6) 七路达林顿晶体管列阵 MC1413

MC1413 采用 NPN 达林顿复合晶体管的结构,因此有很高的电流增益和很高的输入阻抗,可直接接受 MOS 或 CMOS 集成电路的输出信号,并把电压信号转换成足够大的电流信号驱动各种负载。该电路内含有 7 个集电极开路反相

器（也称 OC 门）。MC1413 电路结构和引脚排列如图 18—5 所示，它采用 16 引脚的双列直插式封装。每一驱动器输出端均接有一释放电感负载能量的抑制二极管。

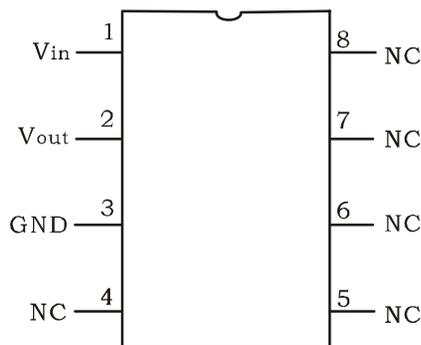


图 18—4 MC1403 引脚排列

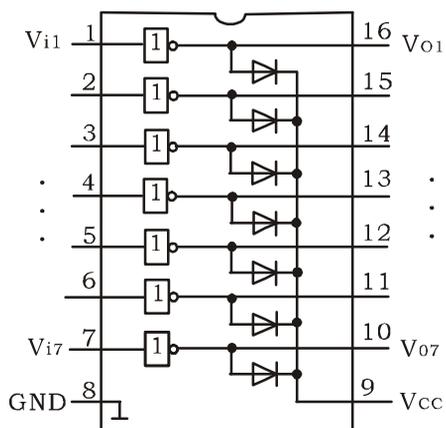


图 18—5 MC1413 引脚排列
和电路结构图

三、实验设备及器件

- | | |
|-------------|-------------------------|
| 1、 ±5V 直流电源 | 2、 双踪示波器 |
| 3、 直流数字电压表 | 4、 按线路图 18—3 要求自拟元、器件清单 |

四、实验内容

本实验要求按图 18—3 组装并调试好一台三位半直流数字电压表，实验时应一步步地进行。

1、 数码显示部分的组装与调试

(1) 建议将 4 只数码管插入 40P 集成电路插座上，将 4 个数码管同名笔划段与显示译码的相应输出端连在一起，其中最高位只要将 b、c、g 三笔划段接入电路，按图 18—3 接好连线，但暂不插所有的芯片，待用。

(2) 插好芯片 CC4511 与 MC1413，并将 CC4511 的输入端 A、B、C、D 接至拨码开关对应的 A、B、C、D 四个插口处；将 MC1413 的 1、2、3、4 脚接至逻辑开关

输出插口上。

(3) 将 MC1413 的 2 脚置“1”，1、3、4脚置“0”，接通电源，拨动码盘（按“+”或“-”键）自 0~9 变化，检查数码管是否按码盘的指示值变化。

(4) 按实验原理说明 3(5) 项的要求，检查译码显示是否正常。

(5) 分别将 MC1413 的 3、4、1脚单独置“1”，重复(3)的内容。

如果所有 4 位数码管显示正常，则去掉数字译码显示部分的电源，备用。

2、标准电压源的连接和调整

插上 MC1403 基准电源，用标准数字电压表检查输出是否为 2.5V，然后调整 10K Ω 电位器，使其输出电压为 2.00V，调整结束后去掉电源线，供总装时备用。

3、总装总调

(1) 插好芯片 MC14433，接图 18-3 接好全部线路。

(2) 将输入端接地，接通+5V，-5V 电源（先接好地线），此时显示器将显示“000”值，如果不是，应检测电源正负电压。用示波器测量、观察 $D_{S1} \sim D_{S4}$ ， $Q_0 \sim Q_3$ 波形，判别故障所在。

(3) 用电阻、电位器构成一个简单的输入电压 V_x 调节电路，调节电位器，4 位数码将相应变化，然后进入下一步精调。

(4) 用标准数字电压表（或用数字万用表代）测量输入电压，调节电位器，使 $V_x = 1.000V$ ，这时被调电路的电压指示值不一定显示“1.000”，应调整基准电压源，使指示值与标准电压表误差个位数在 5 之内。

(5) 改变输入电压 V_x 极性，使 $V_i = -1.000V$ ，检查“-”是否显示，并按(4)方法校准显示值。

(6) 在+1.999V~0~-1.999V 量程内再一次仔细调整（调基准电源电压）使全部量程内的误差均不超过个位数在 5 之内。

至此一个测量范围在 ± 1.999 的三位半数字直流电压表调试成功。

4、记录输入电压为 ± 1.999 ， ± 1.500 ， ± 1.000 ， ± 0.500 ，0.000 时（标

准数字电压表的读数) 被调数字电压表的显示值, 列表记录之。

5、用自制数字电压表测量正、负电源电压。如何测量, 试设计扩程测量电路。

*6、若积分电容 C_1 、 C_{02} ($0.1 \mu\text{F}$) 换用普通金属化纸介电容时, 观察测量精度的变化。

五、实验预习要求

- 1、本实验是一个综合性实验, 应作好充分准备。
- 2、仔细分析图 18-3 各部分电路的连接及其工作原理。
- 3、参考电压 V_R 上升, 显示值增大还是减少?
- 4、要使显示值保持某一时刻的读数, 电路应如何改动?

六、实验报告

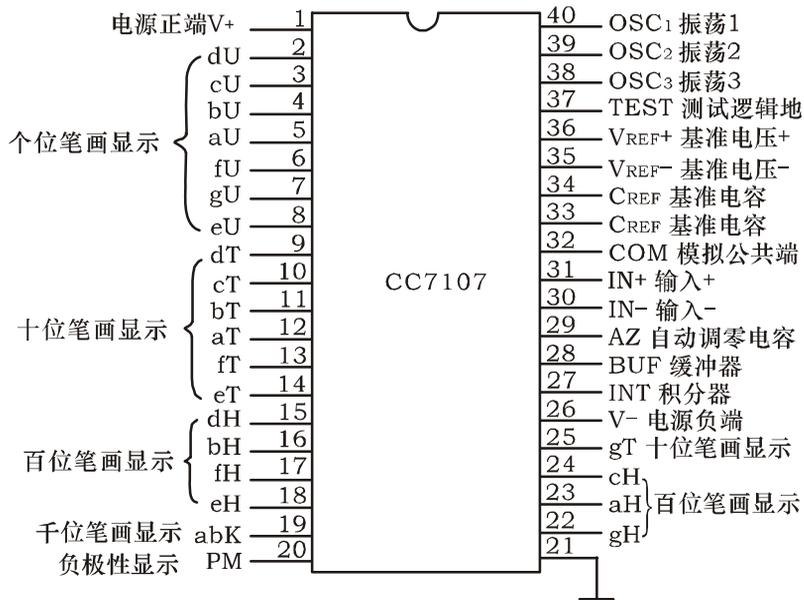
- 1、绘出三位半直流数字电压表的电路接线图
- 2、阐明组装、调试步骤
- 3、说明调试过程中遇到的问题和解决的方法
- 4、组装、调试数字电压表的心得体会

附录2 CC7107 A/D 转换器组成的 $3\frac{1}{2}$ 位直流数字电压表

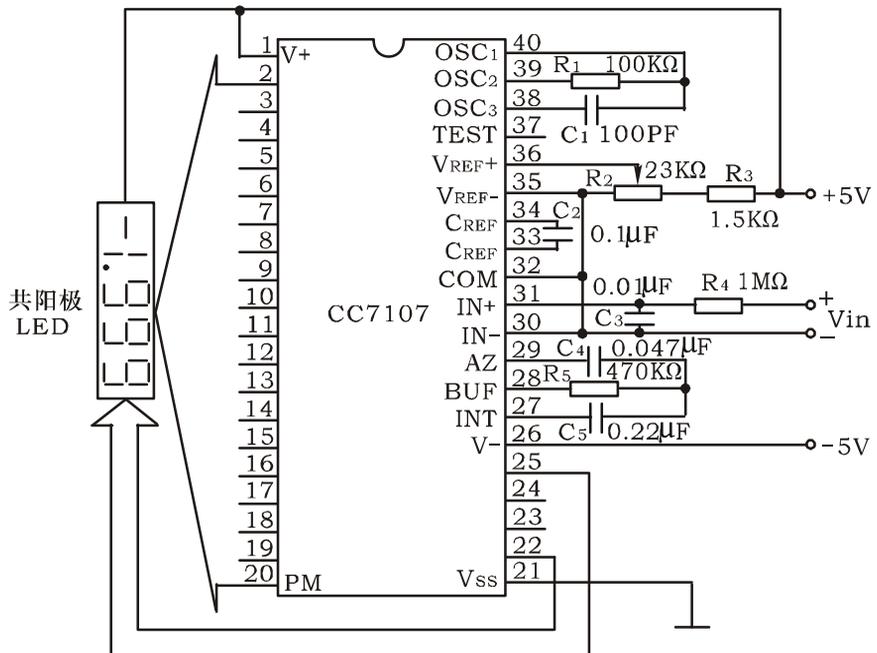
CC7107 型 A / D 转换器是把模拟电路与数字电路集成在一块芯片上的大规模的 CMOS 集成电路，它具有功耗低、输入阻抗高、噪声低，能直接驱动共阳极 LED 显示器，不需另加驱动器件，使转换电路简化等特点。附图 1 是它的引脚排列及功能，各引出端功能见附表 2-1。

附表 2-1

端 名	功 能
V+和 V-	电源的正极和负极
aU~gU aT~gT aH~gH	个位、十位、百位笔画的驱动信号，依次接至个位、十位、百位数码管的相应笔画电极
abk	千位笔画驱动信号，接千位数码管的 a、b 两个笔画电极
PM	负极性指示的输出端，接千位数码管的 g 段。PM 为低电位时显示负号
INT	积分器输出端，接积分电容
BUF	缓冲放大器的输出端，接积分电阻
AZ	积分器和比较器的反相输入端，接自动调零电容
IN+、IN-	模拟量输入端，分别接输入信号的正端与负端
COM	模拟信号公共端，即模拟地
C _{REF}	外接基准电容端
V _{REF} +, V _{REF} -	基准电压的正端和基准电压的负端
TEST	测试端。该端经 500Ω 电阻接至逻辑线路的公共地。当作“测试指示”时，把它与 V+短接后，LED 全部笔画点亮，显示数 1888
OSC ₁ ~OSC ₂	时钟振荡器的引出端，外接阻容元件组成多谐振荡器



附图 2-1



附图 2-2

由 CC7107 组成的 $3\frac{1}{2}$ 位直流数字电压表接线图如附图 2-2 所示。

外围元件的作用是：

- (1) R_1 、 C_1 为时钟振荡器的 RC 网络。
- (2) R_2 、 R_3 是基准电压的分压电路。 R_2 使基准电压 $V_{REF}=1V$
- (3) R_4 、 C_3 为输入端阻容滤波电路，以提高电压表的抗干扰能力，并能增强它的过载能力。
- (4) C_2 、 C_4 分别是基准电容和自动调零电容。
- (5) R_5 、 C_5 分别是积分电阻和积分电容。
- (6) CC7107 的第 21 脚 (GND) 为逻辑地，第 37 脚 (TEST) 经过芯片内部的 500Ω 电阻与 GND 接通。
- (7) 芯片本身功耗小于 15mW (不包括 LED)，能直接驱动共阳极的 LED 显示器，不需要另加驱动器件，在正常亮度下每个数码管的全亮笔画电流大约为 40~50mA。
- (8) CC7107 没有专门的小数点驱动信号，使用时可将共阳极数码管的公共阳极接 $V+$ ，小数点接 GND 时点亮，接 $V+$ 时熄灭。

实验十九 数字频率计

数字频率计是用于测量信号（方波、正弦波或其它脉冲信号）的频率，并用十进制数字显示，它具有精度高，测量迅速，读数方便等优点。

一、工作原理

脉冲信号的频率就是在单位时间内所产生的脉冲个数，其表达式为 $f = N / T$ ，其中 f 为被测信号的频率， N 为计数器所累计的脉冲个数， T 为产生 N 个脉冲所需的时间。计数器所记录的结果，就是被测信号的频率。如在 1S 内记录 1000 个脉冲，则被测信号的频率为 1000Hz。

本实验课题仅讨论一种简单易制的数字频率计，其原理方框图如图 19-1 所示。

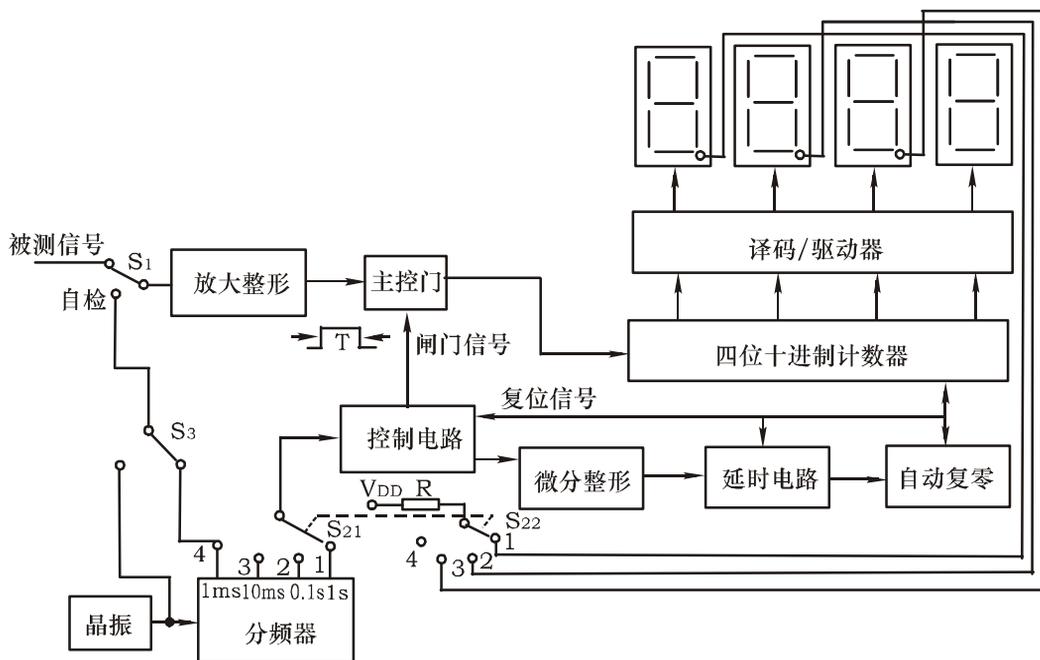


图 19-1 数字频率计原理框图

晶振产生较高的标准频率，经分频器后可获得各种时基脉冲（1ms，10ms，0.1s，1s 等），时基信号的选择由开关 S_2 控制。被测频率的输入信号经放大整形后变成矩形脉冲加到主控门的输入端，如果被测信号为方波，放大

整形可以不要，将被测信号直接加到主控门的输入端。时基信号经控制电路产生闸门信号至主控门，只有在闸门信号采样期间内（时基信号的一个周期），输入信号才通过主控门。若时基信号的周期为 T ，进入计数器的输入脉冲数为 N ，则被测信号的频率 $f=N/T$ ，改变时基信号的周期 T ，即可得到不同的测频范围。当主控门关闭时，计数器停止计数，显示器显示记录结果。此时控制电路输出一个置零信号，经延时、整形电路的延时，当达到所调节的延时时间时，延时电路输出一个复位信号，使计数器和所有的触发器置 0，为后续新的一次取样作好准备，即能锁住一次显示的时间，使保留到接受新的一次取样为止。

当开关 S_2 改变量程时，小数点能自动移位。

若开关 S_1 ， S_3 配合使用，可将测试状态转为“自检”工作状态（即用时基信号本身作为被测信号输入）。

二、有关单元电路的设计及工作原理

1、控制电路

控制电路与主控门电路如图 19-2 所示。

主控电路由双 D 触发器 CC4013 及与非门 CC4011 构成。CC4013 (a) 的任务是输出闸门控制信号，以控制主控门 (2) 的开启与关闭。如果通过开关 S_2 选择一个时基信号，当给与非门 (1) 输入一个时基信号的下降沿时，门 1 就输出一个上升沿，则 CC4013 (a) 的 Q_1 端就由低电平变为高电平，将主控门 2 开启。允许被测信号通过该主控门并送至计数器输入端进行计数。相隔 1s（或 0.1s，10ms，1ms）后，又给与非门 1 输入一个时基信号的下降沿，与非门 1 输出端又产生一个上升沿，使 CC4013 (a) 的 Q_1 端变为低电平，将主控门关闭，使计数器停止计数，同时 \bar{Q}_1 端产生一个上升沿，使 CC4013 (b) 翻转成 $Q_2=1$ ， $\bar{Q}_2=0$ ，由于 $\bar{Q}_2=0$ ，它立即封锁与非门 1 不再让时基信号进入 CC4013 (a)，保证在显示读数的时间内 Q_1 端始终保持低电平，使计数器停止计数。

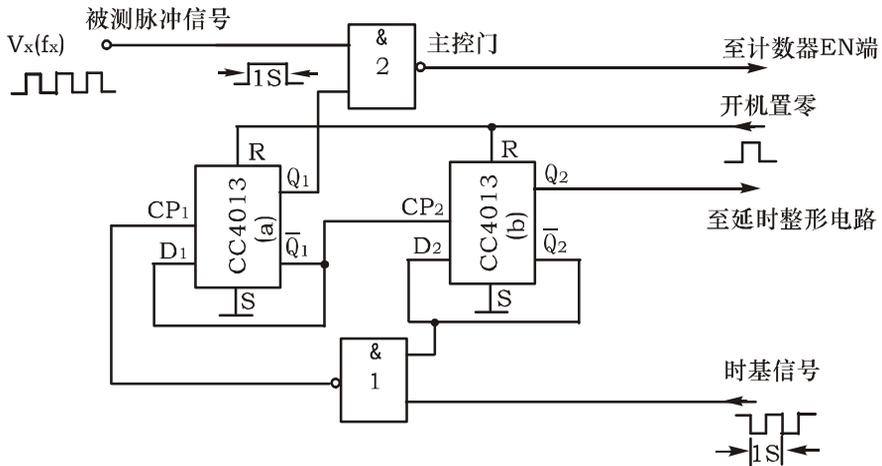


图 19-2 控制电路及主控门电路

利用 Q_2 端的上升沿送到下一级的延时、整形单元电路。当到达所调节的延时时间时，延时电路输出端立即输出一个正脉冲，将计数器和所有 D 触发器全部置 0。复位后， $Q_1=0$ ， $\bar{Q}_1=1$ ，为下一次测量作好准备。当时基信号又产生下降沿时，则上述过程重复。

2、微分、整形电路

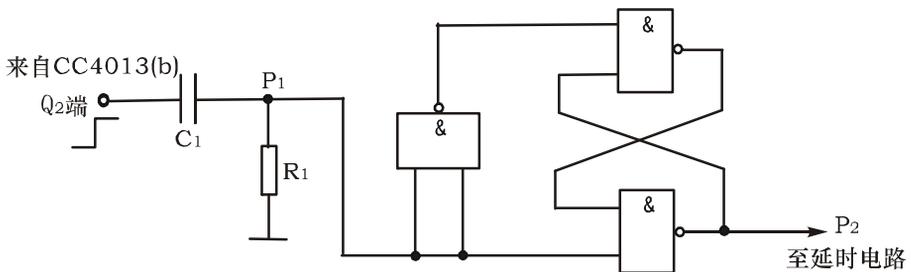


图 19-3 微分、整形电路

电路如图 19-3 所示。CC4013 (b) 的 Q_2 端所产生的上升沿经微分电路后，送到由与非门 CC4011 组成的斯密特整形电路的输入端，在其输出端可得到一个边沿十分陡峭且具有一定脉冲宽度的负脉冲，然后再送至下一级延时电路。

3、延时电路

延时电路由 D 触发器 CC4013 (c)、积分电路 (由电位器 R_{w1} 和电容器 C_2 组

成)、非门(3)以及单稳态电路所组成,如图19-4所示。由于CC4013(c)的 D_3 端接 V_{DD} ,因此,在 P_2 点所产生的上升沿作用下,CC4013(c)翻转,翻转后 $\bar{Q}_3=0$,由于开机置“0”时或门(1)(见图19-5)输出的正脉冲将CC4013(c)的 Q_3 端置“0”,因此 $\bar{Q}_3=1$,经二极管2AP9迅速给电容 C_2 充电,使 C_2 二端的电压达“1”电平,而此时 $\bar{Q}_3=0$,电容器 C_2 经电位器 R_{W1} 缓慢放电。当电容器 C_2 上的电压放电降至非门(3)的阈值电平 V_T 时,非门(3)的输出端立即产生一个上升沿,触发下一级单稳态电路。此时, P_3 点输出一个正脉冲,该脉冲宽度主要取决于时间常数 $R_t C_t$ 的值,延时时间为上一级电路的延时时间及这一级延时时间之和。

由实验求得,如果电位器 R_{W1} 用 510Ω 的电阻代替, C_2 取 $3\mu f$,则总的延迟时间也就是显示器所显示的时间为3s左右。如果电位器 R_{W1} 用 $2M\Omega$ 的电阻取代, C_2 取 $22\mu f$,则显示时间可达10s左右。可见,调节电位器 R_{W1} 可以改变显示时间。

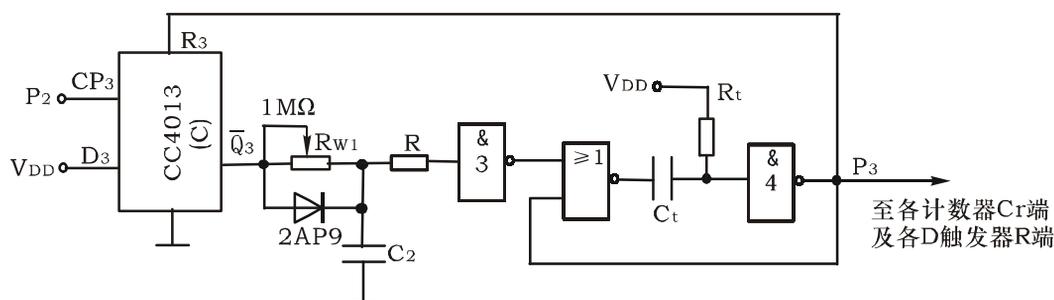


图19-4 延时电路

4、自动清零电路

P_3 点产生的正脉冲送到图19-5所示的或门组成的自动清零电路,将各计数器及所有的触发器置零。在复位脉冲的作用下, $Q_3=0$, $\bar{Q}_3=1$,于是 \bar{Q}_3 端的高电平经二极管2AP9再次对电容 C_2 电,补上刚才放掉的电荷,使 C_2 两端的电压恢复为高电平,又因为CC4013(b)复位后使 Q_2 再次变为高电平,所以与非门1又被开启,电路重复上述变化过程。

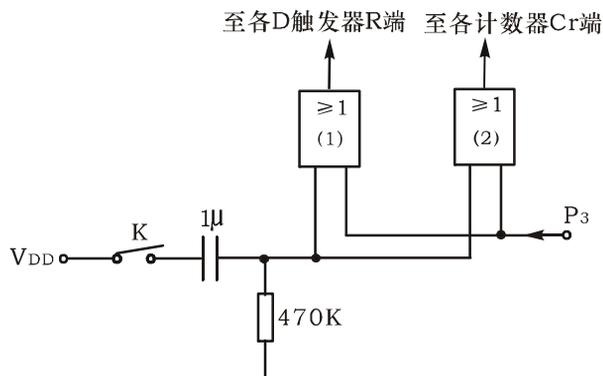


图 19-5 自动清零电路

三、设计任务和要求

使用中、小规模集成电路设计与制作一台简易的数字频率计。应具有下述功能：

1、位数

计 4 位十进制数

计数位数主要取决于被测信号频率的高低，如果被测信号频率较高，精度又较高，可相应增加显示位数。

2、量程

第一档：最小量程档，最大读数是 9.999KHz，闸门信号的采样时间为 1s。

第二档：最大读数为 99.99KHz，闸门信号的采样时间为 0.1s。

第三档：最大读数为 999.9KHz，闸门信号的采样时间为 10ms。

第四档：最大读数为 9999KHz，闸门信号的采样时间为 1ms。

3、显示方式

(1)用七段 LED 数码管显示读数，做到显示稳定、不跳变。

(2)小数点的位置跟随量程的变更而自动移位。

(3)为了便于读数，要求数据显示的时间在 0.5s~5s 内连续可调。

4、具有“自检”功能。

5、被测信号为方波信号。

6、画出设计的数字频率计的电路总图。

7、组装和调试

(1)时基信号通常使用石英晶体振荡器输出的标准频率信号经分频电路获得。为了实验调试方便，可用实验设备上脉冲信号源输出的 1KHz 方波信号经 3 次 10 分频获得。

(2)按设计的数字频率计逻辑图在实验装置上布线。

(3)用 1KHz 方波信号送入分频器的 CP 端，用数字频率计检查各分频级的工作是否正常。用周期为 1s 的信号作控制电路的时基信号输入，用周期等于 1ms 的信号作被测信号，用示波器观察和记录控制电路输入、输出波形，检查控制电路所产生的各控制信号能否按正确的时序要求控制各个子系统。用周期为 1s 的信号送入各计数器的 CP 端，用发光二极管指示检查各计数器的工作是否正常。用周期为 1s 的信号作延时、整形单元电路的输入，用两只发光二极管作指示，检查延时、整形单元电路的输入，用两只发光二极管作指示，检查延时、整形单元电路的工作是否正常。若各个子系统的工作都正常了，再将各子系统连起来统调。

8、调试合格后，写出综合实验报告。

四、实验设备与器件

- 1、+5V 直流电源
- 2、双踪示波器
- 3、连续脉冲源
- 4、逻辑电平显示器
- 5、直流数字电压表
- 6、数字频率计
- 7、主要元、器件（供参考）

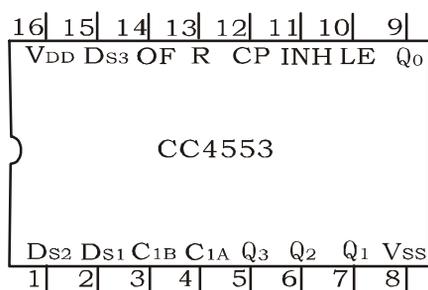
CC4518（二—十进制同步计数器）	4 只
CC4553（三位十进制计数器）	2 只
CC4013（双 D 型触发器）	2 只
CC4011（四 2 输入与非门）	2 只
CC4069（六反相器）	1 只

CC4001 (四 2 输入或非门)	1 只
CC4071 (四 2 输入或门)	1 只
2AP9 (二极管)	1 只
电位器 (1M Ω)	1 只
电阻、电容	若干

注:

1、若测量的频率范围低于 1MHz, 分辨率为 1Hz, 建议采用如图 19-6 所示的电路, 只要选择参数正确, 连线无误, 通电后即能正常工作, 无需调试。有关它的工作原理留给同学们自行研究分析。

2、CC4553 三位十进制计数器引脚排列及功能



CP: 时钟输入端
 INH: 时钟禁止端
 LE: 锁存允许端
 R: 清除端
 DS₁~DS₃: 数据选择输出端
 OF: 溢出输出端
 C_{1A}、C_{1B}: 振荡器外接电容端
 Q₀~Q₃: BCD码输出端

输 入				输 出
R	CP	INH	LE	
0	↑	0	0	不 变
0	↓	0	0	计 数
0	×	1	×	不 变
0	1	↑	0	计 数
0	1	↓	0	不 变
0	0	×	×	不 变
0	×	×	↑	锁 存
0	×	×	1	锁 存
1	×	×	0	Q ₀ ~Q ₃ = 0

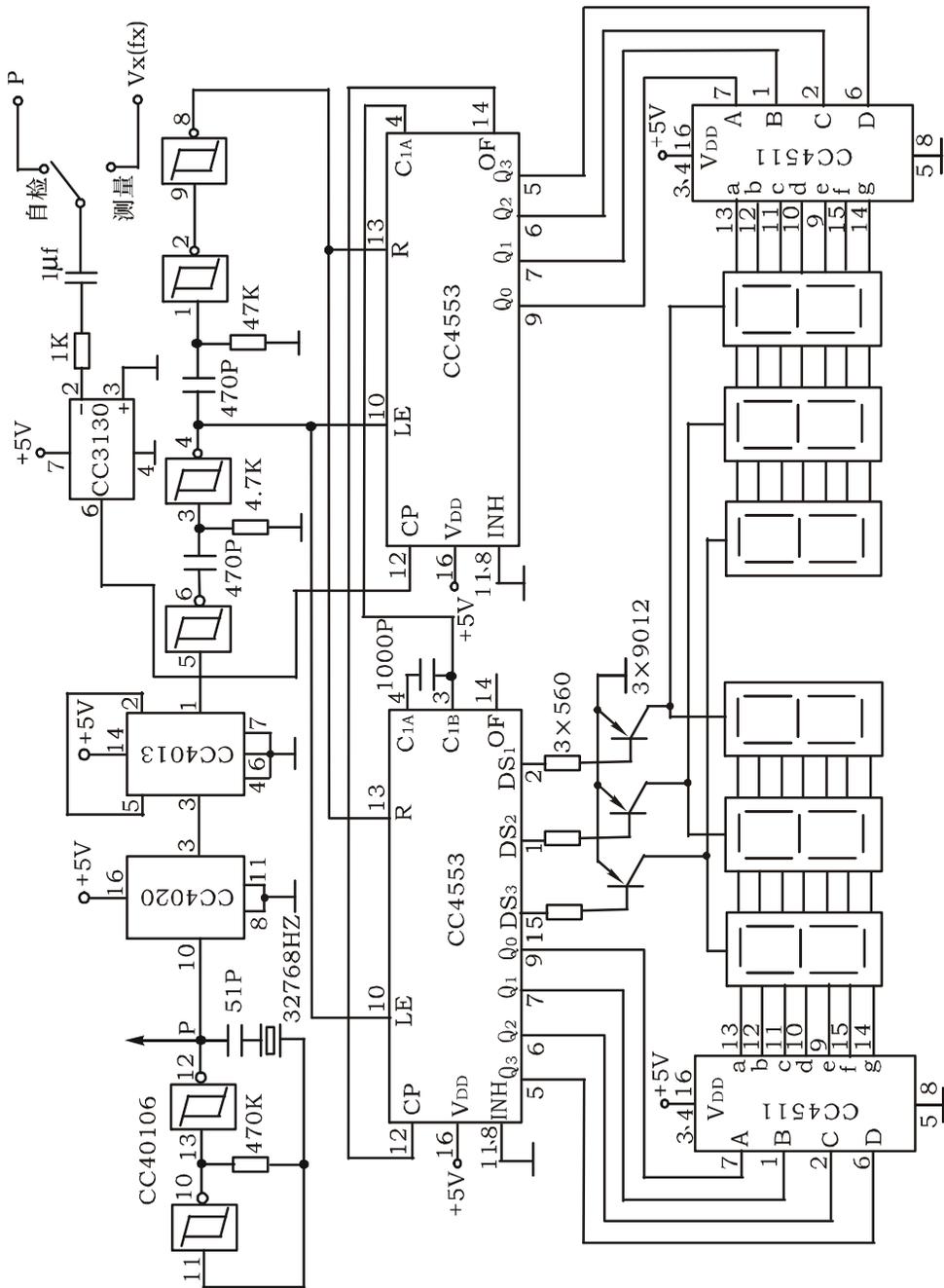


图19-6 0~999999Hz数字频率计线路图

实验二十 拔河游戏机

一、实验任务

给定实验设备和主要元器件，按照电路的各部分组合成一个完整的拔河游戏机。

1、拔河游戏机需用 15 个（或 9 个）发光二极管排列成一行，开机后只有中间一个点亮，以此作为拔河的中心线，游戏双方各持一个按键，迅速地、不断地按动产生脉冲，谁按得快，亮点向谁方向移动，每按一次，亮点移动一次。移到任一方终端二极管点亮，这一方就得胜，此时双方按键均无作用，输出保持，只有经复位后才使亮点恢复到中心线。

2、显示器显示胜者的盘数

二、实验电路

1、实验电路框图如图 20—1 所示。

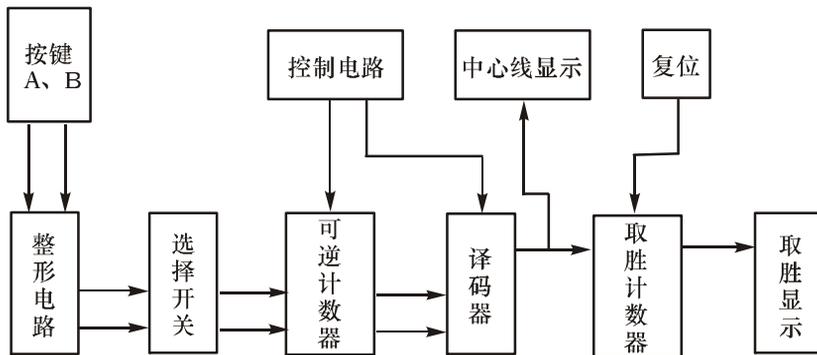


图 20—1 拔河游戏机线路框图

2、整机电路图

见图 20-2

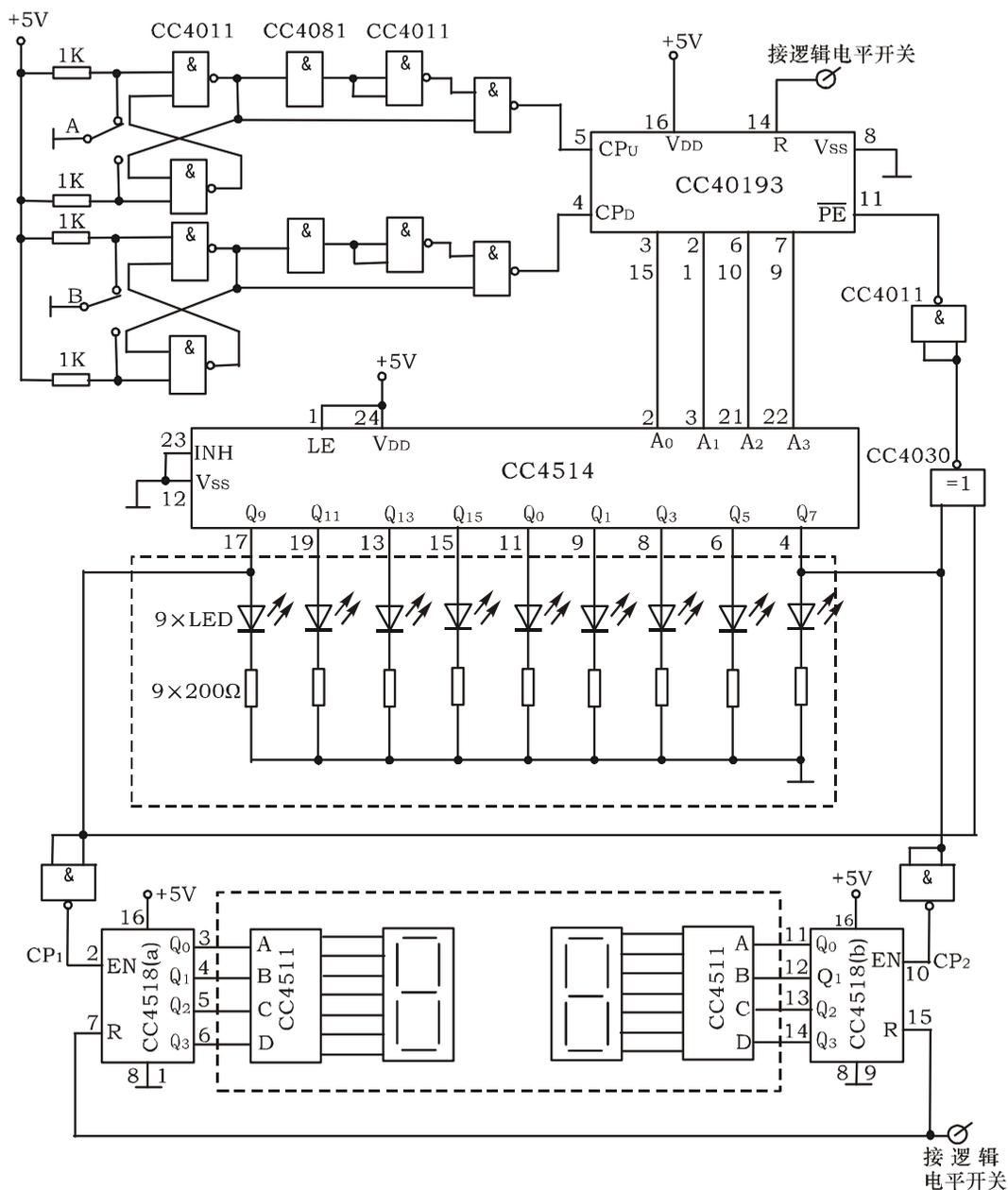


图 20-2 拔河游戏机整机线路图

三、实验设备及元器件

- 1、+5V 直流电源
- 2、译码显示器
- 3、逻辑电平开关
- 4、CC4514 4 线—16 线译码 / 分配器
- CC40193 同步递增 / 递减 二进制计数器
- CC4518 十进制计数器
- CC4081 与门 CC4011×3 与非门
- CC4030 异或门
- 电阻 1K×4

四、设计步骤

图 20—1 为拔河游戏机整机线路图。

可逆计数器 CC40193 原始状态输出 4 位二进制数 0000，经译码器输出使中间的一只发光二极管点亮。当按动 A、B 两个按键时，分别产生两个脉冲信号，经整形后分别加到可逆计数器上，可逆计数器输出的代码经译码器译码后驱动发光二极管点亮并产生位移，当亮点移到任何一方终端后，由于控制电路的作用，使这一状态被锁定，而对输入脉冲不起作用。如按动复位键，亮点又回到中点位置，比赛又可重新开始。

将双方终端二极管的正端分别经两个与非门后接至二个十进制计数器 CC4518 的允许控制端 EN，当任一方取胜，该方终端二极管点亮，产生一个下降沿使其对应的计数器计数。这样，计数器的输出即显示了胜者取胜的盘数。

1、编码电路

编码器有二个输入端，四个输出端，要进行加 / 减计数，因此选用 CC40193 双时钟二进制同步加 / 减计数器来完成。

2、整形电路

CC40193 是可逆计数器，控制加减的 CP 脉冲分别加至 5 脚和 4 脚，此时当电路要求进行加法计数时，减法输入端 CP₀ 必须接高电平；进行减法计数

时，加法输入端 CP_U 也必须接高电平，若直接由 A、B 键产生的脉冲加到 5 脚或 4 脚，那么就有很多时机在进行计数输入时另一计数输入端为低电平，使计数器不能计数，双方按键均失去作用，拔河比赛不能正常进行。加一整形电路，使 A、B 二键出来的脉冲经整形后变为一个占空比很大的脉冲，这样就减少了进行某一计数时另一计数输入为低电平的可能性，从而使每按一次键都有可能进行有效的计数。整形电路由与门 CC4081 和与非门 CC4011 实现。

3、译码电路

选用 4—16 线 CC4514 译码器。译码器的输出 $Q_0 \sim Q_{14}$ 分接 15 个（或 9 个）个发光二极管，二极管的负端接地，而正端接译码器；这样，当输出为高电平时发光二极管点亮。

比赛准备，译码器输入为 0000， Q_0 输出为“1”，中心处二极管首先点亮，当编码器进行加法计数时，亮点向右移，进行减法计数时，亮点向左移。

4、控制电路

为指示出谁胜谁负，需用一个控制电路。当亮点移到任何一方的终端时，判该方为胜，此时双方的按键均宣告无效。此电路可用异或门 CC4030 和非门 CC4011 来实现。将双方终端二极管的正极接至异或门的两个输入端，当获胜一方为“1”，而另一方则为“0”，异或门输出为“1”，经非门产生低电平“0”，再送到 CC40193 计数器的置数端 \overline{PE} ，于是计数器停止计数，处于预置状态，由于计数器数据端 A、B、C、D 和输出端 Q_A 、 Q_B 、 Q_C 、 Q_D 对应相连，输入也就是输出，从而使计数器对输入脉冲不起作用。

5、胜负显示

将双方终端二极管正极经非门后的输出分别接到二个 CC4518 计数器的 EN 端，CC4518 的两组 4 位 BCD 码分别接到实验装置的两组译码显示器的 A、B、C、D 插口处。当一方取胜时，该方终端二极管发亮，产生一个上升沿，使相应的计数器进行加一计数，于是就得到了双方取胜次数的显示，若一位数不够，则进行二位数的级联。

6、 复位

为能进行多次比赛而需要进行复位操作，使亮点返回中心点，可用一个开关控制 CC40193 的清零端 R 即可。

胜负显示器的复位也应用一个开关来控制胜负计数器 CC4518 的清零端 R，使其重新计数。

五、实验报告

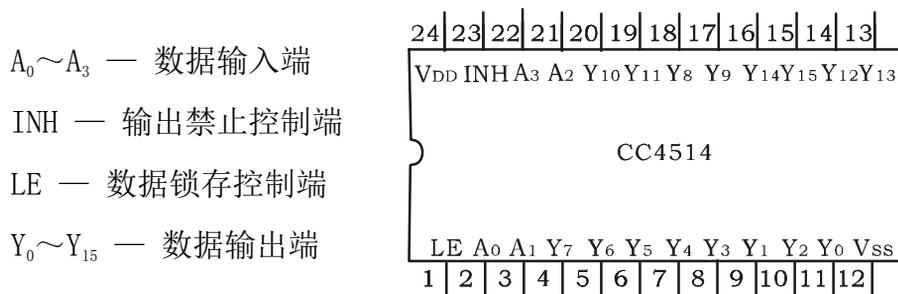
讨论实验结果，总结实验收获。

注：

1、CC40193 同步递增/递减二进制计数器引脚排列及功能

参照实验九 CC40192。

2、CC4514 4 线—16 线译码器引脚排列及功能



输 入						高电平 输出端	输 入						高电平 输出端
LE	INH	A_3	A_2	A_1	A_0		LE	INH	A_3	A_2	A_1	A_0	
1	0	0	0	0	0	Y_0	1	0	1	0	0	1	Y_9
1	0	0	0	0	1	Y_1	1	0	1	0	1	0	Y_{10}
1	0	0	0	1	0	Y_2	1	0	1	0	1	1	Y_{11}
1	0	0	0	1	1	Y_3	1	0	1	1	0	0	Y_{12}
1	0	0	1	0	0	Y_4	1	0	1	1	0	1	Y_{13}
1	0	0	1	0	1	Y_5	1	0	1	1	1	0	Y_{14}
1	0	0	1	1	0	Y_6	1	0	1	1	1	1	Y_{15}
1	0	0	1	1	1	Y_7	1	1	×	×	×	×	无
1	0	1	0	0	0	Y_8	0	0	×	×	×	×	①

①输出状态锁定在上一个 LE = “1” 时， $A_0 \sim A_3$ 的输入状态

3、CC4518 双十进制同步计数器引脚排列及功能

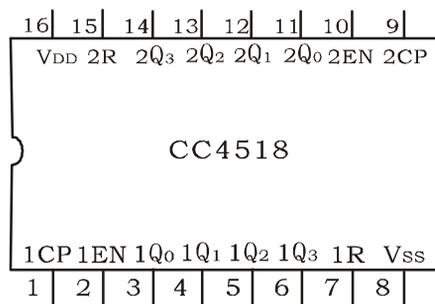
1CP、2CP — 时钟输入端

1R、2R — 清除端

1EN、2EN — 计数允许控制端

1Q₀~1Q₃ — 计数器输出端

2Q₀~2Q₃ — 计数器输出端



输 入			输出功能
CP	R	EN	
↑	0	1	加 计 数
0	0	↓	加 计 数
↓	0	×	保 持
×	0	↑	
↑	0	0	
1	0	↓	
×	1	×	全部为“0”

实验二十一 随机存取存储器 2114A 及其应用

一、实验目的

了解集成随机存取存储器 2114A 的工作原理,通过实验熟悉它的工作特性、使用方法及其应用。

二、实验原理

(一) 随机存取存储器 (RAM)

随机存取存储器 (RAM), 又称读写存储器, 它能存储数据、指令、中间结果等信息。在该存储器中, 任何一个存储单元都能以随机次序迅速地存入 (写入) 信息或取出 (读出) 信息。随机存取存储器具有记忆功能, 但停电 (断电) 后, 所存信息 (数据) 会消失, 不利于数据的长期保存, 所以多用于中间过程暂存信息。

1、RAM 的结构和工作原理

图 21-1 是 RAM 的基本结构图, 它主要由存储单元矩阵、地址译码器和读/写控制电路三部分组成。

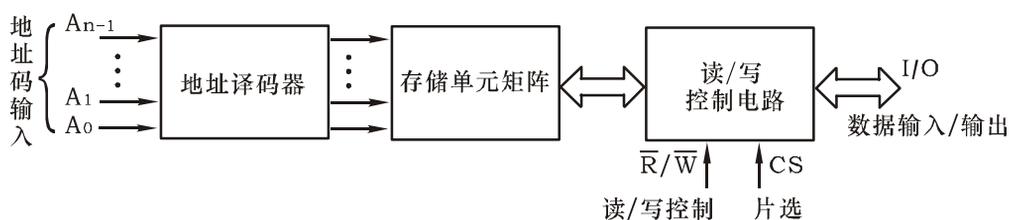


图 21-1 RAM 的基本结构图

(1) 存储单元矩阵

存储单元矩阵是 RAM 的主体, 一个 RAM 由若干个存储单元组成, 每个存储单元可存放 1 位二进制数或 1 位二元代码。为了存取方便, 通常将存储单元设计成矩阵形式, 所以称为存储矩阵。存储器中的存储单元越多, 存储的信息就越多, 表示该存储器容量就越大。

(2) 地址译码器

为了对存储矩阵中的某个存储单元进行读出或写入信息，必须首先对每个存储单元的所在位置（地址）进行编码，然后当输入一个地址码时，就可利用地址译码器找到存储矩阵中相应的一个（或一组）存储单元，以便通过读/写控制，对选中的一个（或一组）单元进行读出或写入信息。

(3) 片选与读/写控制电路

由于集成度的限制，大容量的 RAM 往往由若干片 RAM 组成。当需要对某一个（或一组）存储单元进行读出或写入信息时，必须首先通过片选 CS，选中某一片（或几片），然后利用地址译码器才能找到对应的具体存储单元，以便读/写控制信号对该片（或几片）RAM 的对应单元进行读出或写入信息操作。

除了上面介绍的三个主要部分外，RAM 的输出常采用三态门作为输出缓冲电路。

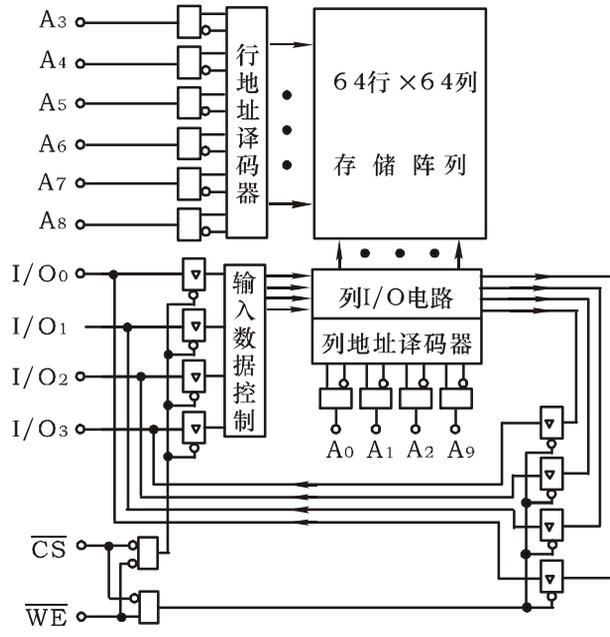
MOS 随机存储器有动态 RAM (DRAM) 和静态 RAM (SRAM) 两类。DRAM 靠存储单元中的电容暂存信息，由于电容上的电荷要泄漏，故需定时充电（通称刷新），SRAM 的存储单元是触发器，记忆时间不受限制，无需刷新。

2、2114A 静态随机存取存储器

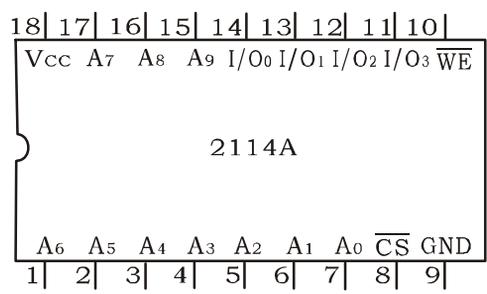
2114A 是一种 1024 字×4 位的静态随机存取存储器，采用 HMOS 工艺制作，它的逻辑框图、引脚排列及逻辑符号如图 21-2 所示，表 21-1 是引出端功能表。

其中，有 4096 个存储单元排列成 64×64 矩阵。采用两个地址译码器，行译码 ($A_3 \sim A_8$) 输出 $X_0 \sim X_{63}$ ，从 64 行中选择指定的一行，列译码 (A_0, A_1, A_2, A_9) 输出 $Y_0 \sim Y_{15}$ ，再从已选定的一行中选出 4 个存储单元进行读/写操作。 $I/O_0 \sim I/O_3$ 既是数据输入端，又是数据输出端， \overline{CS} 为片选信号， \overline{WE} 是写使能，控制器件的读写操作，表 21-2 是器件的功能表。

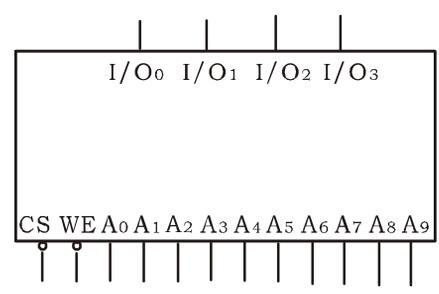
①当器件要进行读操作时，首先输入要读出单元的地址码 ($A_0 \sim A_9$)，并使 $\overline{WE} = 1$ ，给定的地址的存储单元内容（4 位）就经读写控制传送到三态输出缓冲器，而且只能在 $\overline{CS} = 0$ 时才能把读出数据送到引脚 ($I/O_0 \sim I/O_3$) 上。



(a) 逻辑框图



(b) 引脚排列



(c) 逻辑符号

图 21-2 2114A 随机存取存储器

表 21-1 2114A 引出端功能

端 名	功 能
A ₀ ~A ₉	地址输入端
\overline{WE}	写 选 通
\overline{CS}	芯片选择
I/O ₀ ~I/O ₃	数据输入/输出端
V _{CC}	+5V

表 21-2 2114A 功能表

地址	\overline{CS}	\overline{WE}	I/O ₀ ~I/O ₃
有效	1	×	高阻态
有效	0	1	读出数据
有效	0	0	写入数据

②当器件要进行写操作时，在 $I/O_0 \sim I/O_3$ 端输入要写入的数据，在 $A_0 \sim A_9$ 端输入要写入单元的地址码，然后再使 $\overline{WE} = 0$ ， $\overline{CS} = 0$ 。必须注意，在 $\overline{CS} = 0$ 时， \overline{WE} 输入一个负脉冲，则能写入信息；同样， $\overline{WE} = 0$ 时， \overline{CS} 输入一个负脉冲，也能写入信息。因此，在地址码改变期间， \overline{WE} 或 \overline{CS} 必须至少有一个为 1，否则会引起误写入，冲掉原来的内容。为了确保数据能可靠地写入，写脉冲宽度 t_{wp} 必须大于或等于手册所规定的时间区间，当写脉冲结束时，就标志这次写操作结束。

2114A 具有下列特点：

- (1) 采用直接耦合的静态电路，不需要时钟信号驱动，也不需要刷新。
- (2) 不需要地址建立时间，存取特别简单。
- (3) 输入、输出同极性，读出是非破坏性的，使用公共的 I/O 端，能直接与系统总线相连接。
- (4) 使用单电源 +5 供电，输入输出与 TTL 电路兼容，输出能驱动一个 TTL 门和 $C_L = 100\text{pF}$ 的负载 ($I_{OL} \approx 2.1 \sim 6\text{mA}$ 、 $I_{OH} \approx -1.0 \sim -1.4\text{mA}$)。
- (5) 具有独立的选片功能和三态输出。
- (6) 器件具有高速与低功耗性能。
- (7) 读/写周期均小于 250ns。

随机存取存储器种类很多，2114A 是一种常用的静态存储器，是 2114 的改进型。实验中也可以使用其他型号的随机存储器。如 6116 是一种使用较广的 2048×8 的静态随机存取存储器，它的使用方法与 2114A 相似，仅多了一个 \overline{DE} 输出使能端，当 $\overline{DE} = 0$ 、 $\overline{CS} = 0$ 、 $\overline{WE} = 1$ 时，读出存储器内信息；在 $\overline{DE} = 1$ 、 $\overline{CS} = 0$ 、 $\overline{WE} = 0$ 时，则把信息写入存储器。

(二) 只读存储器 (ROM)

只读存储器 (ROM)，只能进行读出操作，不能写入数据。

只读存储器可分为固定内容只读存储器 ROM、可编程只读存储器 PROM 和可抹编程只读存储器 EPROM 三大类，可抹编程只读存储器又分为紫外光抹除可编

程 EPROM、电可抹编程 EEPROM 和电改写编程 EAPROM 等种类。由于 EEPROM 的改写编程更方便，所以深受用户欢迎。

1、固定内容只读存储器（ROM）

ROM 的结构与随机存取存储器（RAM）相类似，主要由地址译码器和存储单元矩阵组成，不同之处是 ROM 没有写入电路。在 ROM 中，地址译码器构成一个与门阵列，存储矩阵构成一个或门阵列。输入地址码与输出之间的关系是固定不变的，出厂前厂家已采用掩模编程的方法将存储矩阵中的内容固定，用户无法更改，所以只要给定一个地址码，就有一个相应的固定数据输出。只读存储器往往还有附加的输入驱动器和输出缓冲电路。

2、可抹编程只读存储（EPROM）

可编程 PROM 只能进行一次编程，一经编程后，其内容就是永久性的，无法更改，用户进行设计时，常常带来很大风险，而可抹编程只读存储器（EPROM）（或称可再编程只读存储器（RROM）），可多次将存储器的存储内容抹去，再写入新的信息。

EPROM 可多次编程，但每次再编程写入新的内容之前，都必须采用紫外光照射以抹除存储器中原有的信息，给用户带来了一些麻烦。而另一种电可抹编程只读存储器（EEPROM），它的编程和抹除是同时进行的，因此每次编程，就以新的信息代替原来存储的信息。特别是一些 EEPROM 可在工作电压下进行随时改写，该特点可类似随机存取存储器（RAM）的功能，只是写入时间长些（大约 20ms）。断电后，写入 EEPROM 中的信息可长期保持不变。这些优点使得 EEPROM 广泛用于设计产品开发，特别是现场实时检测和记录，因此 EEPROM 备受用户的青睐。

（三）用 2114A 静态随机存取存储器实现数据的随机存取及顺序存取

图 21-3 为电路原理图，为实验接线方便，又不影响实验效果，2114A 中地址输入端保留前 4 位（ $A_0 \sim A_3$ ），其余输入端（ $A_4 \sim A_9$ ）均接地。

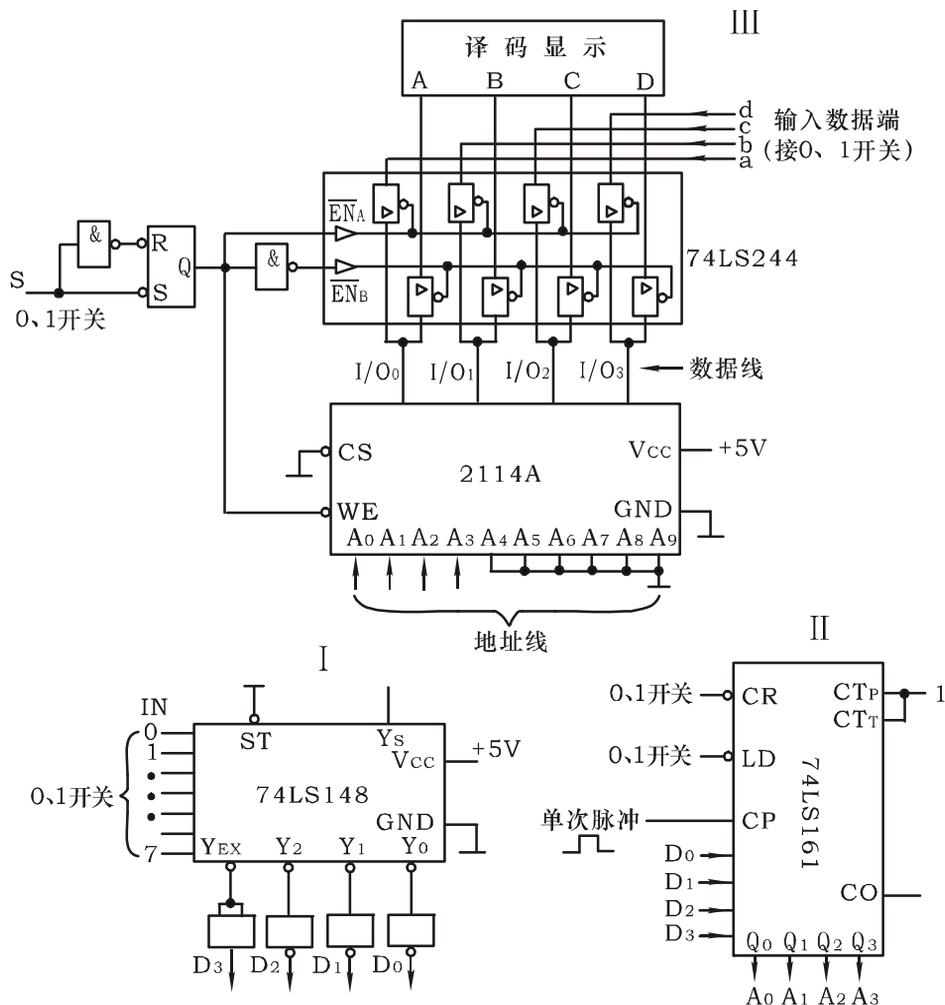


图 21-3 2114A 随机和顺序存取数据电路原理图

1、用 2114A 实现静态随机存取

如图 21-3 中单元 III

电路由三部分组成：① 由与非门组成的基本 RS 触发器与反相器，控制电路的读写操作；② 由 2114A 组成的静态 RAM；③ 由 74LS244 三态门缓冲器组成的数据输入输出缓冲和锁存电路。

(1) 当电路要进行写操作时，输入要写入单元的地址码 ($A_0 \sim A_3$) 或使单元地址处于随机状态；RS 触发器控制端 S 接高电平，触发器置“0”， $Q=0$ 、 $\overline{EN}_A=0$ ，打开了输入三态门缓冲器 74LS244，要写入的数据 (abcd) 经缓冲器

送至 2114A 的输入端 ($I/O_0 \sim I/O_3$)。由于此时 $\overline{CS} = 0$, $\overline{WE} = 0$, 因此便将数据写入了 2114A 中, 为了确保数据能可靠的写入, 写脉冲宽度 t_{wp} 必须大于或等于手册所规定的时间区间。

(2) 当电路要进行读操作时, 输入要读出单元的地址码 (保持写操作时的地址码); RS 触发器控制端 S 接低电平, 触发器置 “1”, $Q = 1$, $EN_B = 0$, 打开了输出三态门缓冲器 74LS244。由于此时 $\overline{CS} = 0$, $\overline{WE} = 1$, 要读出的数据 (abcd) 便由 2114A 内经缓冲器送至 ABCD 输出, 并在译码器上显示出来。

注: 如果是随机存取, 可不必关注 $A_0 \sim A_3$ (或 $A_0 \sim A_9$) 地址端的状态, $A_0 \sim A_3$ (或 $A_0 \sim A_9$) 可以是随机的, 但在读写操作中要保持一致性。

2、2114A 实现静态顺序存取

如图 21-3, 电路由三部分组成: 单元 I: 由 74LS148 组成的 8 线-3 线优先

编码电路, 主要是将 8 位的二进制指令进行编码形成 8421 码; 单元 II: 由 74LS161 二进制同步加法计数器组成的取址、地址累加等功能; 单元 III: 由基本 RS 触发器、2114A、74LS244 组成的随机存取电路。

由 74LS148 组成优先编码电路, 将 8 位 ($IN_0 \sim IN_7$) 的二进制指令编成 8421 码 ($D_0 \sim D_3$) 输出, 是以反码的形式出现的, 因此输出端加了非门求反。

(1) 写入

令二进制计数器 74LS161 $\overline{CR} = 0$, 则该计数器输出清零, 清零后置 $\overline{CR} = 1$; 令 $\overline{LD} = 0$, 加 CP 脉冲, 通过并行送数法将 $D_0 \sim D_3$ 赋值给 $A_0 \sim A_3$, 形成地址初始值, 送数完成后置 $\overline{LD} = 1$ 。74LS161 为二进制加法计数器, 随着每来一个 CP 脉冲, 计数器输出将加 1, 也即地址码将加 1, 逐次输入 CP 脉冲, 地址会以此累计形成一组单元地址; 操作随机存取部分电路使之处于写入状态, 改变数据输入端的数据 abcd, 便可按 CP 脉冲所给地址依次写入一组数据。

(2) 读出

给 74LS161 输出清零, 通过并行送数方法将 $D_0 \sim D_3$ 赋值给 ($A_0 \sim A_3$), 形成

地址初始值，逐次送入单次脉冲，地址码累计形成一组单元地址；操作随机存取部分电路使之处于读出状态，便可按 CP 脉冲所给地址依次读出一组数据，并在译码显示器上显示出来。

三、实验设备与器件

- | | |
|---|-----------|
| 1、+5 直流电源 | 2、连续脉冲源 |
| 3、单次脉冲源 | 4、逻辑电平显示器 |
| 5、逻辑电平开关（0、1 开关） | 6、译码显示器 |
| 7、2114A、74LS161、74LS148、74LS244、74LS00、74LS04 | |

四、实验内容

按图 21-3 接好实验线路，先断开各单元间连线。

1、用 2114 实现静态随机存取

线路如图 21-3 中单元 III

(1) 写入

输入要写入单元的地址码及要写入的数据；再操作基本 RS 触发器控制端 S，使 2114A 处于写入状态，即 $\overline{CS} = 0$ 、 $\overline{WE} = 0$ ， $\overline{EN_A} = 0$ ，则数据便写入了 2114A 中，选取三组地址码及三组数据，记入表 21-3 中。

表 21-3

\overline{WE}	地址码 ($A_0 \sim A_3$)	数 据 (abcd)	2114A
0			
0			
0			

表 21-4

\overline{WE}	地址码 ($A_0 \sim A_3$)	数 据 (abcd)	2114A
1			
1			
1			

(2) 读出

输入要读出单元的地址码；再操作基本 RS 触发器 S 端，使 2114A 处于读出状态，即 $\overline{CS} = 0$ 、 $\overline{WE} = 1$ 、 $\overline{EN_B} = 0$ ，（保持写入时的地址码），要读出的数据便由数显显示出来，记入表 21-4 中，并与表 21-3 数据进行比较。

2、 2114A 实现静态顺序存取

连接好图 21-3 中各单元间连线。

(1) 顺序写入数据

假设 74LS148 的 8 位输入指令中, $IN_2=0$ 、 $IN_0=1$ 、 $IN_2\sim IN_7=1$, 经过编码得 $D_0D_1D_2D_3=1000$, 这个值送至 74LS161 输入端; 给 74LS161 输出清零, 清零后用并行送数法, 将 $D_0D_1D_2D_3=1000$ 赋值给 $A_0A_1A_2A_3=1000$, 作为地址初始值; 随后操作随机存取电路使之处于写入状态。至此, 数据便写入了 2114A 中, 如果相应的输入几个单次脉冲, 改变数据输入端的数据, 则能依次地写入一组数据, 记入表 21-5 中。

表 21-5

CP 脉冲	地址码 ($A_0\sim A_3$)	数据 (abcd)	2114A
↑	1000		
↑	0100		
↑	1100		

(2) 顺序读出数据

给 74LS161 输出清零, 用并行送数法, 将原有的 $D_0D_1D_2D_3=1000$ 赋值给 $A_0A_1A_2A_3$, 操作随机存取电路使之处于读状态。连续输入几个单次脉冲, 则依地址单元读出一组数据, 并在译码显示器上显示出来, 记入表 23-6 中, 并比较写入与读出数据是否一致。

表 21-6

CP 脉冲	地址码 ($A_0\sim A_3$)	数据 (abcd)	2114A	显示
↑	1000			
↑	0100			
↑	1100			

五、实验预习要求

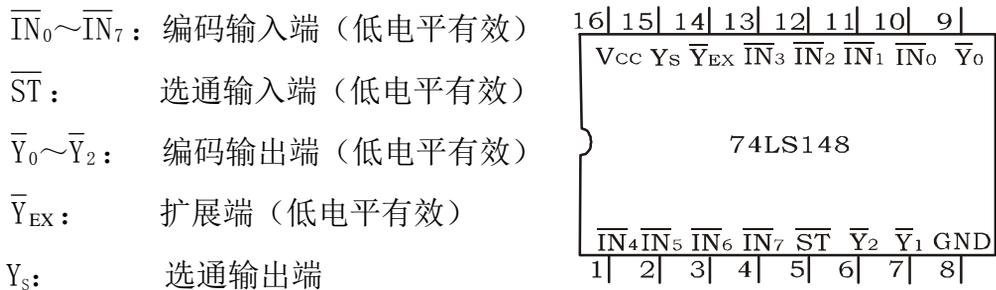
- 1、复习随机存储器 RAM 和只读存储器 ROM 的基本工作原理。
- 2、查阅 2114A、74LS161、74LS148 有关资料，熟悉其逻辑功能及引脚排列。
- 3、2114A 有十个地址输入端，实验中仅变化其中一部分，对于其它不变化的地址输入端应该如何处理？
- 4、为什么静态 RAM 无需刷新，而动态 RAM 需要定期刷新？

六、实验报告

记录电路检测结果，并对结果进行分析。

注：

- 1、74LS148 8 线—3 线优先编码器的引脚排列及功能



输 入									输 出				
\overline{ST}	\overline{IN}_0	\overline{IN}_1	\overline{IN}_2	\overline{IN}_3	\overline{IN}_4	\overline{IN}_5	\overline{IN}_6	\overline{IN}_7	\overline{Y}_2	\overline{Y}_1	\overline{Y}_0	\overline{Y}_{EX}	Y_S
1	×	×	×	×	×	×	×	×	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	×	×	×	×	×	×	×	0	0	0	0	0	1
0	×	×	×	×	×	×	0	1	0	0	1	0	1
0	×	×	×	×	0	1	1	1	0	1	0	0	1
0	×	×	×	0	1	1	1	1	1	0	0	0	1
0	×	×	0	1	1	1	1	1	1	0	1	0	1
0	×	0	1	1	1	1	1	1	1	1	0	0	1
0	0	1	1	1	1	1	1	1	1	1	1	0	1

2、74LS161 4位二进制同步计数器的引脚排列及功能

CO: 进位输出端

CP: 时钟输入端 (上升沿有效)

\overline{CR} : 异步清除输入端 (低电平有效)

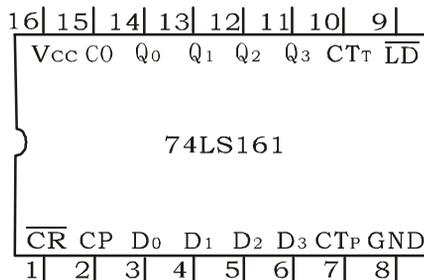
CT_P : 计数控制端

CT_T : 计数控制端

$D_0 \sim D_3$: 并行数据输入端

\overline{LD} : 同步并行置入控制端 (低电平有效)

$Q_0 \sim Q_3$: 输出端



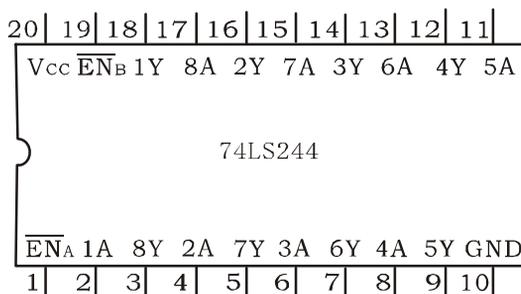
输 入									输 出			
\overline{CR}	\overline{LD}	CT_P	CT_T	CP	D_0	D_1	D_2	D_3	Q_0	Q_1	Q_2	Q_3
0	×	×	×	×	×	×	×	×	0	0	0	0
1	0	×	×	↑	d_0	d_1	d_2	d_3	d_0	d_1	d_2	d_3
1	1	1	1	↑	×	×	×	×	计			数
1	1	0	×	×	×	×	×	×	保			持
1	1	×	0	×	×	×	×	×	保			持

3、74LS244 八缓冲器/线驱动器/线接收器的引脚排列及功能

1A~8A: 输入端

$\overline{EN}_A, \overline{EN}_B$: 三态允许端
(低电平有效)

1Y~8Y: 输出端

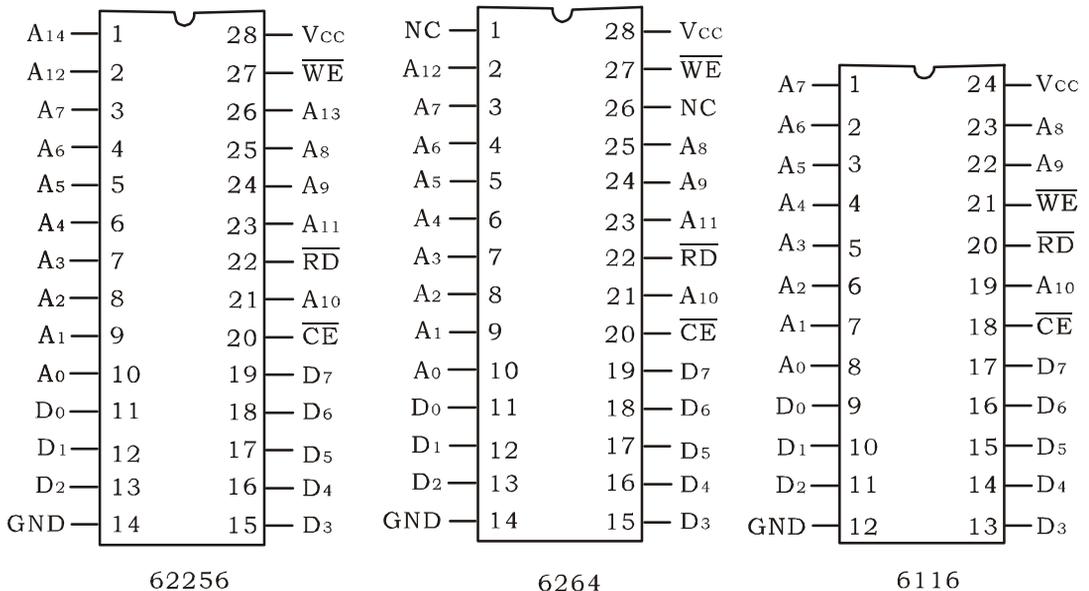


输 入		输 出
\overline{EN}	A	Y
0	0	0
0	1	1
1	×	高阻态

4、静态 SRAM 数据存储器介绍

静态 RAM 具有存取速度快、使用方便等特点，但系统一旦掉电，内部所存数据便会丢失。所以，要使内部数据不丢失，必须不间断供电（断电后电池供电）。为此，多年来人们一直致力于非易失随机存取存储器（NV-SRAM）的开发，数据在掉电时自保护，强大的抗冲击能力，连续上电两万次数据不丢失。这种 NV-SRAM 的管脚与普通 SRAM 全兼容，目前已得到广泛应用。

常用的 SRAM 有：6116（2K×8）、6264（8K×8）、62256（32K×8）等，它们引脚如图所示。



图中有关引脚的含义如下：

$A_0 \sim A_i$ ：地址输入端

$D_0 \sim D_7$ ：双向三态数据端

\overline{CE} ：片选信号输入端（低电平有效）

\overline{RD} ：读选通信号输入端（低电平有效）

\overline{WE} ：写选通信号输入端（低电平有效）

V_{cc} ：工作电源+5V

GND：地线

常用 SRAM 的主要技术特性

型 号	6116	6264	62256
容量 (KB)	2	8	32
引脚数	24	28	28
工作电压 (V)	5	5	5
典型工作电流 (mA)	35	40	8
典型维持电流 (mA)	5	2	0.9
存取时间 (ns)	由产品型号而定		

常用 SRAM 操作方式

信号 方式	\overline{CE}	\overline{RD}	\overline{WE}	$D_0 \sim D_7$
读	0	0	1	数据输出
写	0	1	0	数据输入
维持	1	×	×	高阻态